



(19) **RU** ⁽¹¹⁾ **2 119 187** ⁽¹³⁾ **C1**
(51) МПК⁶ **G 06 F 3/00, H 04 N 5/44**

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 92016547/09, 29.05.1991
(30) Приоритет: 01.06.1990 GB 9012326.6
(46) Дата публикации: 20.09.1998
(56) Ссылки: SU, авторское свидетельство, 1418688, кл. G 06 F 3/00, 1988. SU, авторское свидетельство, 1429104, кл. G 06 F 3/00, 1988. JP, заявка, 62-244095, кл. G 09 G 5/36, 1987. US, патент, 4026555, кл. G 06 F 15/60, 1986. EP, заявка, 0339675, кл. H 04 N 5/44, 1989. JP, заявка, 62-263781, кл. H 04 N 5/44, 1987.

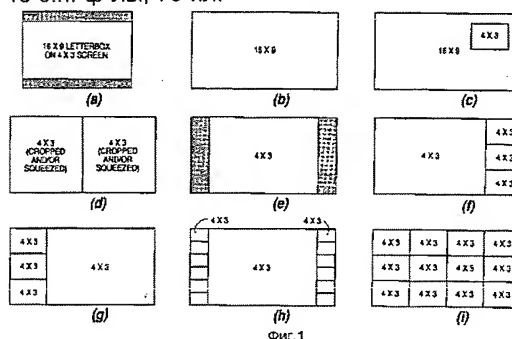
(71) Заявитель:
Томсон Конзьюмер Электроникс, Инк. (US)
(72) Изобретатель: Роберт Дейл Алтманшофер (US),
Энрике Родригес-Кавазос (US), Дональд Генри Виллис (US), Натаниэль Халук Эрсоз (US), Барт Алан Кэнфилд (US)
(73) Патентообладатель:
Томсон Конзьюмер Электроникс, Инк. (US)

(54) СИСТЕМА ДИСПЛЕЯ

(57) Реферат:

Изобретение относится к устройствам телевизоров, имеющих формат изображения широкоэкранный соотношения сторон. Система дисплея содержит средство дисплея, средство картографирования выходного видеосигнала, средство для обработки, средство переключения, средство выборки, средство управления. Техническим результатом является повышение разрешающей способности дисплея с одним и многими изображениями на экране из одного и многих источников, имеющих одинаковые или разные соотношения сторон формата изображения и возможность выбора

соотношения сторон формата дисплея. 2 с. и 19 з.п. ф-лы, 70 ил.



Фиг.1



(19) **RU** (11) **2 119 187** (13) **C1**
(51) Int. Cl.⁶ **G 06 F 3/00, H 04 N 5/44**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 92016547/09, 29.05.1991

(30) Priority: 01.06.1990 GB 9012326.6

(46) Date of publication: 20.09.1998

(71) Applicant:
Tomson Konz'jumer Ehlektroniks, Ink. (US)

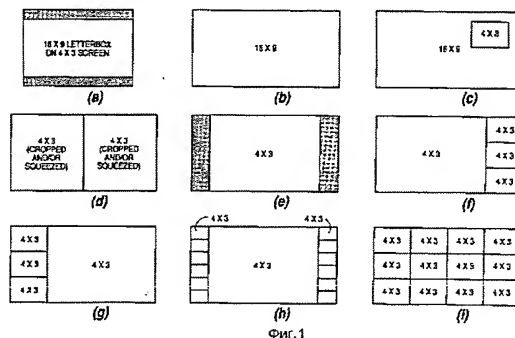
(72) Inventor: Robert Dejl Altmanshofer (US),
Ehnrike Rodriges-Kavazos (US), Donal'd Genri
Villis (US), Nataniehl' Khaluk Ehrsoz (US), Bart
Alan Kehnfeld (US)

(73) Proprietor:
Tomson Konz'jumer Ehlektroniks, Ink. (US)

(54) **DISPLAY SYSTEM**

(57) Abstract:

FIELD: TV sets having image format of wide-screen relation of sides. SUBSTANCE: display system includes display means, means mapping output videosegnal, processing means, switch-over means, selection means, control means. EFFECT: increased resolving power of display with one or many images on screen from one or several source having equal or different relations of sides of image format and capability to choose relation of sides of display format. 21 cl, 117 dwg, 1 tbl



Настоящее изобретение относится к области телевидения, например к устройствам телевизоров, имеющих формат изображения широкоэкранного соотношения сторон, которые должны интерполировать видеоданные, чтобы реализовать различные форматы изображения. Большинство телевизоров сегодня имеют соотношения формата изображения - горизонтальной ширины (длины) к вертикальной высоте - равное 4:3. Соотношение изображения широкого формата более близко соответствует соотношению формата изображения кинофильмов, например 16:9. Изобретение может применяться в отношении телевизоров прямого видения и проекционного телевидения.

Телевизоры или телевизионные системы, имеющие соотношение формата изображения 4:3, часто именуемые как 4 x 3, ограничены тем, что могут визуализировать один и множество источников видеосигналов. Передачи телевизионных сигналов коммерческих вещательных компаний (станций), за исключением экспериментального материала, происходят в соотношении формата изображения 4 x 3. Многие телезрители находят формат изображения 4 x 3 менее приятным, чем соотношение более широкого формата изображения, связанного с кинофильмами. Телевизионные системы с соотношением изображения в широком формате обеспечивают не только более приятное изображение, но и также могут визуализировать источники сигналов широкого формата изображения в соответствующем широком формате дисплея. Фильмы "выглядят" как кинофильмы, а не как срезанные по краям кадры или искаженные варианты их. Видеоисточник не требуется обрезать ни во время преобразования фильма в видеоизображение, например, посредством телекинопроекторов, ни во время обработки процессорами на телевидении.

Телевизионные системы с широкоформатным соотношением дисплея также соответствуют для использования в большом разнообразии дисплеев с сигналами для традиционных и широкоформатных дисплеев, а также их комбинаций в дисплеях со многими изображениями. Однако использование дисплеев с широкоэкранном форматом влечет за собой ряд проблем. Изменение пропорций формата дисплея многочисленных сигнальных источников, образование согласованных хронизирующих сигналов из асинхронных, но при одновременно визуализируемых источниках, переключение между многочисленными источниками для генерирования дисплеев со многими изображениями и обеспечение изображений с высокой разрешающей способностью из сжатых сигналов данных представляют типовые категории таких проблем. Широкоэкранная телевизионная система согласно настоящему изобретению решает эти проблемы. Широкоэкранная телевизионная система согласно настоящему изобретению в разных вариантах его реализации обеспечивает высокую разрешающую способность дисплея с одним и многими изображениями на экране из одного и многих источников, имеющих

одинаковые или разные соотношения сторон формата изображения и возможность выбора соотношения сторон формата дисплея.

Телевизионные системы с широкоформатным соотношением сторон дисплея могут быть реализованы в телевизионных устройствах, визуализирующих видеосигналы на основных или стандартных частотах горизонтального сканирования и на многих кратным им, а также путем чересстрочной и нечересстрочной развертки. Стандартные видеосигналы согласно НТСЦ (Национальный комитет по телевизионным системам), например, визуализируются путем чередования последовательных зон каждого видеокadra, причем каждая зона генерируется при проведении сканирования раstra на основной или стандартной частоте горизонтального сканирования, примерно 15,734 Гц. Основная скорость или частота сканирования в соотношении видеосигналов обозначается по-разному, как f_H , $1f_H$ и $1H$. Фактическая частота сигнала $1f_H$ будет изменяться в соответствии с разными видеостандартами. В соответствии с усилиями по улучшению качества изображения телевизора разработаны системы визуализации видеосигналов прогрессивно нечересстрочным порядком. Прогрессивное сканирование требует, чтобы каждый визуализируемый кадр развертывался в течение одного и того же периода времени, выделенного для сканирования одной из двух зон чересстрочного формата. Без мерцания дисплеи AA-BB требуют, чтобы каждая зона сканировалась дважды последовательно. В каждом случае частота горизонтальной развертки должна быть двойной по сравнению со стандартной горизонтальной частотой. Частота развертки в отношении таких прогрессивно сканируемых или не содержащих мерцания дисплеев обозначается по-разному, как $2f_H$ и $2H$. Величина частоты сканирования $2f_H$ согласно стандартам США, например, составляет примерно 31,468 Гц.

Широкоэкранная система телевидения согласно вариантам реализации изобретения, изложенных здесь, имеет все возможности и преимущества, описанные выше. Видеодисплей имеет первый формат соотношения сторон дисплея, скажем 16 x 9. Карты картографирования - дисплей регулируемого изображения - визуализируются на видеодисплее. Первый и второй сигнальные процессоры генерируют первый и второй селективно интерполированный видеосигналы из исходных видеосигналов, имеющих один из равных форматных соотношений изображения, например, 4 x 3 и 16 x 9. Интерполирование входных видеосигналов может привести к расширению или сжатию входных видеосигналов. Первый и второй сигнальные процессоры могут также селективно обрезать входные видеосигналы. В целом, входные видеосигналы могут выборочно обрезаться, интерполироваться, а также одновременно обрезаться и интерполироваться и не обрезаться, и не интерполироваться. Схема переключения выборочно соединяет источники видеосигналов, как входные видеосигналы.

Схема синхронизации синхронизирует первый и второй сигнальные процессоры со схемой картографирования. Схема выборки выбирает в качестве выходного видеосигнала между одним из первого и второго обработанных видеосигналов и комбинацией первого и второго обработанных видеосигналов. Схема управления управляет схемой картографирования, процессорами первого и второго сигналов и схемой выборки в отношении регулирования соотношения сторон формата дисплея и соотношения сторон изображения каждого кадра, представляемого в выходном видеосигнале. Одним из равных форматных соотношений дисплея входных видеосигналов может быть то же самое, как и первое форматное соотношение дисплея на видеодисплее. Схема картографирования может содержать схему генерирования раstra для электронно-лучевой трубки или генератор дешифратора адреса для жидкокристаллического дисплея. Система дисплея может дополнительно содержать схему для преобразования чересстрочных видеосигналов в нечересстрочные форматы, два внутренних настроечных устройства и множество наружных штепсельных гнезд. В одном варианте реализации изобретения площадь дисплея изображения может регулироваться только по вертикали, и схемы обработки первого и второго сигналов интерполируют видеосигналы только по горизонтали.

Фиг. 1(а) - 1(i) - виды, полезные для пояснения разных форматов дисплея широкоэкранный телевизионной системы.

Фиг. 2 - блок-схема широкоэкранный телевизионной системы в соответствии с отличительными признаками изобретения и адаптированной для функционирования на частоте $2f_H$ горизонтальной развертки.

Фиг. 3 - блок-схема широкоэкранный процессора, показанного на фиг. 2.

Фиг. 4(а) - блок-схема широкоэкранный телевизионной системы в соответствии с отличительными признаками изобретения и адаптированной для функционирования на частоте $1f_H$ горизонтальной развертки.

Фиг. 4 (б) - блок-схема широкоэкранный телевизионной системы в соответствии с отличительными признаками изобретения и адаптированной для функционирования с жидкокристаллическим дисплеем.

Фиг. 5 - блок-схема широкоэкранный процессора, показанного на фиг. 4.

Фиг. 6 - блок-схема, показывающая дальнейшие подробности широкоэкранный процессора, общего для фиг. 3 и 5.

Фиг. 7 - блок-схема процессора изображения-в-изображении, показанного на фиг. 6.

Фиг. 8 - блок-схема матрицы логических элементов, показанной на фиг. 6, и иллюстрирующая маршруты (линии следования) основного, вспомогательного и выходных сигналов.

Фиг. 9 и 10 - схемы синхронизации, полезные для пояснения образования формата дисплея, показанного на фиг. 1(d), используя полностью усеченные (срезанные) сигналы.

Фиг. 11(а) - блок-схема, показывающая маршрут основного сигнала на фиг. 8 более подробно.

Фиг. 11 (б) показывает формы волн, полезные для пояснения сжатия видеосигналов в линии основного сигнала на фиг. 11(а).

Фиг. 11 (в) иллюстрирует формы волн, полезные для пояснения расширения видеосигналов в линии основного сигнала на фиг. 11(а).

Фиг. 12 - блок-схема, показывающая маршрут вспомогательного сигнала на фиг. 8 более подробно.

Фиг. 13 - блок-схема альтернативного маршрута основного сигнала.

Фиг. 14 - блок-схема секции синхронизации и управления процессора изображения-в-изображении на фиг. 7.

Фиг. 15, 16 и 17 - блок-схемы секции прореживания секции синхронизации и управления, показанной на фиг. 14.

Фиг. 18 - таблица величин, используемых для управления секцией прореживания, показанной на фиг. 10-12.

Фиг. 19(а) и 19(б) - блок-схемы полностью программируемых общего назначения схем прореживания для управления соотношениями горизонтального и вертикального сжатия соответственно.

Фиг. 20 - блок-схема схемы преобразования сканирования с чересстрочное на прогрессивное, показанной на фиг. 2.

Фиг. 21 - блок-схема схемы снижения шума, показанной на фиг. 20.

Фиг. 22 - схема комбинации блока и цепи для схемы отключения, показанной на фиг. 2.

Фиг. 23 - схема синхронизации, полезная для пояснения варианта реализации вертикального панорамирования.

Фиг. 24(а) - 24(в) - схемы форматов дисплея, полезные для пояснения схемы синхронизации на фиг. 23.

Фиг. 25 - блок-схема сопряжения RGB (красного, зеленого, синего цветов), показанная на фиг. 2.

Фиг. 26 - блок-схема преобразователя RGB в Y, U, V, показанная на фиг. 25.

Фиг. 27 - блок-схема цепи для генерирования внутреннего сигнала $2f_H$ при преобразовании $1f_H$ в $2f_H$.

Фиг. 28 - другая блок-схема части линии вспомогательного сигнала, показанной на фиг. 8.

Фиг. 29 - схема строчной памяти для пяти строк FIFO (FIFO = первый на входе - первый на выходе), полезной для пояснения избежания коллизий указателя считывания/записи.

Фиг. 30 - блок-схема упрощенной цепи для реализации цепи синхронизации вспомогательного маршрута для матрицы логических элементов.

Фиг. 31 - схема синхронизации, показывающая согласованность индикатора верхней/нижней зоны с горизонтальными строками видеокдра.

Фиг. 32-34 - полезны для пояснения способа поддержания целостности чересстрочной развертки в отношении одновременно визуализируемых видеосигналов, показывающие относительную процессию.

Фиг. 35(а)-35(б) - формы волн, полезные для пояснения функционирования схемы, показанной на фиг. 36.

Фиг. 36 - блок-схема цепи для

поддержания целостности чересстрочной развертки, как пояснено в связи с фиг. 31-35.

Фиг. 37 - схема, полезная для пояснения распределения видеопамати RAM, взаимодействующей с процессором изображения-в-изображении.

Фиг. 38 - блок-схема цепи для управления переключением выходных сигналов между основным и вспомогательным видеосигналами.

Фиг. 39 и 40 - блок-схемы цепей примешивания и ликвидации примешивания псевдослучайного сигнала 1 бит соответственно для реализации схем обработки разрешающей способности на фиг. 6 и 8.

Фиг. 41 и 42 - блок-схемы для цепей примешивания и ликвидации примешивания псевдослучайного сигнала 2 бит соответственно для реализации схемы обработки разрешающей способности на фиг. 6 и 8.

Фиг. 43 - таблица, полезная для пояснения схемы сдвига для усиления функционирования цепей примешивания псевдослучайного сигнала.

Фиг. 44 - таблица, полезная для пояснения еще одной альтернативы в отношении реализации схем обработки разрешающей способности на фиг. 6 и 8.

Фиг. 45 и 46 - схемы, полезные для пояснения функционирования автоматического детектора почтового ящика.

Фиг. 47 - блок-схема автоматического детектора почтового ящика, как пояснено в связи с фигурами 45 - 46.

Фиг. 48 - блок-схема альтернативной цепи для реализации автоматического детектора почтового ящика.

Фиг. 49 - блок-схема управляющей цепи вертикальным размером, содержащей автоматический детектор почтового ящика.

Фиг. 50(а) - 50(е) показывают формы волн, полезные для пояснения преобразования аналогового сигнала с цифровой цветовой компонентой основного видеосигнала.

Фиг. 51(а) - 51(б) - показывают формы волн, полезные для пояснения сдвига компонент яркости и цвета в линии основного сигнала матрицы логических элементов.

Фиг. 52(а) и 52(б) показывают участки линии основного сигнала в отношении компонент яркости и цвета соответственно для реализации сжатия видеосигналов.

Фиг. 53(а) - 53(к) - полезны для пояснения сжатия видеосигналов цветовой компонентой по отношению к компонентам яркости.

Фиг. 54(а) и 54(б) показывают участки линии основного сигнала в отношении компонент яркости и цвета соответственно для реализации расширения видеосигналов.

Фиг. 55(а) - 55(к) полезны для пояснения расширения видеосигналов цветовой компонентой по отношению к компонентам яркости.

Фиг. 56 и 57 - схемы элементов изображений, полезные для пояснения функционирования двухстадийных переменных интерполяционных фильтров, как они могут использоваться для реализации интерполяторов на фигурах 8, 11(а) и 12.

Фиг. 58 - блок-схема двухстадийного компенсационного переменного

интерполяционного фильтра.

Фиг. 59 - блок-схема двухстадийного компенсационного переменного интерполяционного фильтра, адаптированного для реализации средства трансфокации.

Фиг. 60 - блок-схема цепи для реализации двухстадийного интерполяционного фильтра с восемью выводами.

Фиг. 61 - блок-схема интерполятора с разрешающей способностью 1/16 или 1/32.

Фиг. 62 - таблица величин К и С для интерполятора, показанного на фиг. 61.

Фиг. 63 - блок-схема цепи для определения величин С из величин К.

Фиг. 64 - таблица величин, как они вычислены схемой на фиг. 62.

Фиг. 65 - блок-схема альтернативной цепи для определения величин С из величин К.

Фиг. 66 - блок-схема другой альтернативной цепи для определения величин С из величин К.

Фиг. 67 - график кривых, показывающий амплитудно-частотную характеристику традиционного двухстадийного четырехточечного интерполятора.

Фиг. 68 - таблица и фиг. 69 - график, вместе показывающие амплитудно-частотную характеристику восьмиточечного интерполятора.

Фиг. 70 - блок-схема восьмиточечного интерполятора, имеющего амплитудно-частотную характеристику, соответствующую фиг. 68 и 69.

Различные части фиг. 1 показывают некоторые, но не все, различные комбинации форматов дисплея с одним и многими изображениями, которые могут быть реализованы в соответствии с разными вариантами реализации изобретения. Те, которые выбраны для иллюстрации, предназначены облегчить описание конкретных схем, содержащих широкоэкранные телевизионные системы в соответствии с вариантами реализации изобретения. Для целей удобства в отношении иллюстрации и описания традиционный формат дисплея с соотношением ширины к высоте видеоисточника или видеосигнала вообще предполагается как 4 х 3, тогда как широкоэкранный формат дисплея с соотношением ширины к высоте для видеоисточника или видеосигнала обычно принимается как 16 х 9. Варианты реализации изобретения не ограничиваются этими определениями.

Фиг. 1(а) показывает телевизионную систему, прямого видения или проекционную, имеющую традиционное соотношение формата дисплея 4 х 3. Когда передается изображение в формате дисплея с соотношением 16 х 9, как сигнал в формате дисплея с соотношением 4 х 3, сверху и внизу экрана появляются черные полосы. Это обычно называют как формат почтового ящика. В этом случае видимое изображение выглядит небольшим по отношению ко всей доступной площади дисплея. Альтернативно источник с соотношением формата дисплея 16 х 9 преобразуется до передачи, так что он будет заполнять видимое пространство дисплея формата 4 х 3. Однако много информации будет срезано с левой и/или правой сторон. Как дальнейшая

альтернатива, изображение типа почтового ящика может быть расширено по вертикали, но не по горизонтали, в результате чего результирующее изображение будет показывать искажение в виде вертикального удлинения. Ни одна из трех альтернатив не является, в частности, привлекательной.

Фиг. 1(b) показывает экран 16 x 9. Видеоисточник с соотношением дисплея в формате 16 x 9 будет полностью визуализирован без усечения и без искажения. Изображение типа почтового ящика с соотношением формата дисплея 16 x 9, которое само по себе является сигналом соотношения дисплея в формате 4 x 3, может прогрессивно сканироваться путем дублирования строки или добавления строки с тем, чтобы образовать более крупный дисплей с достаточным вертикальным разрешением. Широкоэкранный телевизионный источник согласно настоящему изобретению может визуализировать такой сигнал соотношения дисплея в формате 16 x 9, будь-то основной источник, вспомогательный источник или внешний источник RGB.

Фиг. 1(c) показывает основной сигнал соотношения дисплея в формате 16 x 9, в котором визуализировано включенное изображение с соотношением дисплея в формате 4 x 3. Если оба видеосигнала - основной и вспомогательный - являются источниками с соотношением дисплея в формате 16 x 9, вставленное изображение может также иметь соотношение формата дисплея 16 x 9. Вставленное изображение может быть визуализировано во многих различных положениях.

Фиг. 1(d) показывает формат дисплея, в котором основной и вспомогательный видеосигналы визуализированы в изображении одного и того же размера. Площадь каждого дисплея имеет соотношение формата дисплея 8 x 9, который, конечно, отличается от 16 x 9 и 4 x 3. Чтобы показать источник с соотношением формата дисплея 4 x 3 в такой площади дисплея без горизонтального или вертикального искажения, сигнал должен быть обрезан на левой и/или правой стороне. Может быть показано большее изображение с меньшим срезыванием, если допустимо некоторое искажение соотношения сторон в результате горизонтального сжатия изображения. Горизонтальное сжатие ведет к вертикальному удлинению объектов в изображении. Широкоэкранный телевизионный источник согласно изобретению может обеспечивать любое смешивание срезывания и искажения соотношения сторон от максимального срезывания без искажения соотношения сторон до без срезывания с максимальным искажением соотношения сторон.

Ограничения в выборке данных в линии обработки вспомогательного видеосигнала усложняют генерирование изображения с высокой разрешающей способностью, которое такое же большое по размеру, как дисплей от основного видеосигнала. Могут быть разработаны разные способы для устранения этих осложнений.

Фиг. 1(e) представляет формат дисплея, в котором визуализировано изображение с соотношением формата дисплея 4 x 3 в

центре экрана с соотношением формата дисплея 16 x 9. Темные полосы видны на правой и левой сторонах.

Фиг. 1(f) показывает формат дисплея, в котором одно большое изображение с соотношением формата дисплея 4 x 3 и три меньших изображения с соотношением формата дисплея 4 x 3 визуализированы одновременно. Меньшее изображение за периметром большого изображения иногда называют как POP, т.е. изображение-снаружи изображения, а не как PIP, изображение-в-изображении. Термины PIP или изображение-в-изображении здесь используются в отношении обоих форматов дисплея. В случаях, когда широкоэкранный телевизионный источник снабжен двумя подстроечными устройствами, которые оба являются внутренними или один внутренним, а другой внешним, например, в видеокассетном магнитофоне, два из визуализируемых изображений могут визуализировать движение в реальном масштабе времени в соответствии с источником. Остающиеся изображения могут быть визуализированы в формате стоп-кадра. Следует отметить, что добавление дальнейших подстроечных устройств и дополнительных линий обработки вспомогательного сигнала может создавать более двух подвижных изображений. Также следует отметить, что большое изображение, с одной стороны, и три меньших изображения, с другой стороны, могут быть переклочены в положение, как показано на фиг. 1(g).

Фиг. 1(h) показывает альтернативу, в которой изображение с соотношением формата дисплея 4 x 3 центрировано и шесть меньших изображений с соотношением формата дисплея 4 x 3 визуализировано в вертикальных колонках на любой стороне. Как и в ранее описанном формате широкоэкранный телевизионный источник, снабженный двумя подстроечными устройствами, может создавать два подвижных изображения. Остальные одиннадцать изображений будут в формате стоп-кадра.

Фиг. 1(i) показывает формат дисплея, имеющий сетку из двенадцати изображений с соотношением формата дисплея 4 x 3. Такой формат дисплея, в частности, соответствует для направления выборки канала, в котором каждое изображение является по крайней мере стоп-кадром из другого канала. Как и раньше, число подвижных изображений может зависеть от числа возможных подстроечных устройств и линий обработки сигналов.

Разные форматы, показанные на фиг. 1, являются иллюстративными, а не ограничительными, и могут быть реализованы с помощью широкоэкранный телевизионный системы, показанной на остальных чертежах и описанных подробно ниже.

Общая блок-схема широкоэкранный телевизионный системы согласно вариантам реализации изобретения и адаптированной для функционирования с частотой горизонтальной развертки $2f_H$ показана на фиг. 2 и в целом обозначена под позицией 10. Телевизор 10 вообще содержит секцию 20 входа видеосигналов, шасси или телевизионный микропроцессор 216,

широкоэкранный процессор 30, преобразователь 40 частоты $1f_H$ в $2f_H$, схему отклонения 50, устройство сопряжения KC3 60, преобразователь 240 YWV в RGB, возбудители записи с экрана телевизионной приемной трубки 242, трубки 244 проекционного или прямого видения и источник питания 70. Произведено группирование разных схем в различные функциональные блоки для целей удобства описания и не считается ограничивающим физическое положение таких схем относительно друг друга.

Секция 20 входа видеосигналов адаптирована принимать множество полных телевизионных сигналов от разных видеоисточников. Видеосигналы могут выборочно переключаться для визуализирования как основной и вспомогательный видеосигнал. Переключатель RF 204 имеет два антенных входа ANT1 и ANT2. Они представляют входы в отношении приема встроенных антенн и кабельного приема. Переключатель RF 204 управляет, какой вход антенны подается на первое подстроечное устройство 206 и на второе подстроечное устройство 208. Выход первого подстроечного устройства 206 является входным сигналом на однокристаллическую схему 202, которая выполняет ряд функций, связанных с синхронизацией, горизонтальным и вертикальным отклонением и управлением видеосигналов. Конкретная показанная однокристаллическая схема является согласно промышленному обозначению типом TA7730. ВИДОВОЙ ВЫХОД группового видеосигнала, образуемый в однокристаллической схеме и вытекающий из сигнала от первого подстроечного устройства 206, является входным сигналом для видеопереключателя 200 и входа TV1 широкоэкранный процессор 30. Остальные входы на видеопереключатель 200 групповых видеосигналов обозначены AUX1 и AUX2. Они могут использоваться для видеокамер, лазерных плейеров дисков, видеоманитов, видеоигр и тому подобное. Выход видеопереключателя 200, который управляется шасси или телевизионным микропроцессором 216, обозначен SWITCHED VIDEO (ПЕРЕКЛЮЧЕННЫЙ ВИДЕОСИГНАЛ). SWITCHED VIDEO является другим входным сигналом на широкоэкранный процессор 30.

Как показано на фиг. 3, переключатель SW1 широкоэкранный процессор выбирает между сигналами TW1 и SWITCHED VIDEO в качестве выходного видеосигнала SEL COMP OUT, который является входным сигналом на декодер Y/C 210. Декодер Y/C 210 может быть реализован как адаптивный линейный гребенчатый фильтр. Два дальнейших видеоисточника S1 и S2 также являются входными сигналами на декодер Y/C 210. Каждый из S1 и S2 представляет различные источники S - VHS и каждый состоит из отдельных сигналов яркости и цветности. Переключатель, который может быть выполнен как часть декодера Y/C, как в некоторых адаптивных линейных гребенчатых фильтрах, или который может быть выполнен как отдельный переключатель, реагирует на TV микропроцессор 216 в отношении выборки одной пары сигналов яркости и цветности в

качестве выходных сигналов, обозначенных Y_M и C_IN соответственно. Выбранная пара сигналов яркости и цветности после этого считается основным сигналом и обрабатывается по линии основного сигнала. Обозначения сигналов, включающих в себя _M или _MN относятся к линии основного сигнала. Сигнал цветности C_IN перенаправляется широкоэкранным процессором обратно на однокристаллическую схему для образования сигналов цветового контраста U_M и V_M. В этом отношении U является эквивалентным обозначением в отношении (R-Y), и Y является эквивалентным обозначением в отношении (B-Y). Сигналы Y_M, U_M и V_M преобразуются в цифровую форму в широкоэкранный процессор для дальнейшей обработки сигнала.

Второе подстроечное устройство 208, функционально определяемое как часть широкоэкранный процессор 30, образует полный видеосигнал TV2. Переключатель SW2 выбирает между сигналами TV2 и SWITCHED VIDEO в качестве входного сигнала на декодер Y/C 220, который может быть выполнен как адаптивный линейный гребенчатый фильтр. Переключатели SW3 и SW4 выбирают между выходными сигналами яркости и цветности декодера Y/C 220 и сигналами яркости и цветности внешнего видеоисточника, обозначенные соответственно Y_EXT и C_EXT. Сигналы Y_EXT и C_EXT соответствуют входу S1, содержащему входной сигнал S - VHS. Декодер Y/C 220 и переключатели SW3 и SW4 могут быть объединены в некоторых адаптивных линейных гребенчатых фильтрах. Выходной сигнал переключателей SW3 и SW4 после этого считается вспомогательным сигналом, и обрабатывается по линии вспомогательного сигнала. Выбранный выходной сигнал яркости обозначен Y_A. Обозначения сигналов, включающих в себя _A, _AX и _AUX, относятся к линии вспомогательного сигнала. Выбранная цветность преобразуется в сигналы цветовой контрастности U_A и V_A. Сигналы Y_A, U_A и V_A преобразуются в цифровую форму для дальнейшей обработки сигнала. Устройство источника видеосигнала, переключающего линии основного и вспомогательного сигналов, повышает гибкость управления выборкой источника в отношении разных частей форматов изображений дисплея.

Полный синхронизирующий сигнал COMP SYNC, соответствующий Y_M, образуется широкоэкранным процессором для синхроразделителя 212. Горизонтальный и вертикальный синхронизирующие компоненты H и V соответственно являются входными сигналами на схему 214 вертикального обратного счета. Схема вертикального обратного счета образует сигнал VERTICAL RESET (УСТАНОВКА В ВЕРТИКАЛЬНОЕ ИСХОДНОЕ ПОЛОЖЕНИЕ), который направляется в широкоэкранный процессор 30. Широкоэкранный процессор генерирует внутренний выходной сигнал установки в исходное вертикальное положение INT VERT RST OUT, направляемый на устройство сопряжения RGB 60. Переключатель в устройстве 60 сопряжения RGB выбирает между внутренним выходным сигналом установки в исходное вертикальное

положение и компонентом вертикальной синхронизации внешнего источника RGB. Выходной сигнал этого переключателя является выбранным компонентом вертикальной синхронизации SEL VERT SYNC, направляемый на схему отклонения 50. Сигналы горизонтальной и вертикальной синхронизации вспомогательного видеосигнала образуются синхроразделителем 250 в широкоэкранный процессоре.

Преобразователь $40\ 1f_H$ в $2f_H$ реагирует на преобразование чересстрочных видеосигналов в прогрессивно сканированные нечересстрочные сигналы, например преобразователь, в котором каждая горизонтальная строка визуализируется дважды, или генерируется дополнительный набор горизонтальных строк путем интерполирования смежных горизонтальных строк одной и той же зоны. В некоторых случаях использование прежней строки или использование интерполированной строки будет зависеть от уровня движения, которое детектируется между смежными зонами или кадрами. Генерирование синхронизирующих сигналов $2f_H$ показано более полно на фиг.

27. Схема преобразователя 40 функционирует совместно с видеопамятью RAM 420. Видеопамять RAM может использоваться для запоминания одной или больше зон кадра для возможности образования прогрессивного дисплея. Преобразованные видеоданные, такие как сигналы Y_{2f_H} и U_{2f_H} подаются на устройство 60 сопряжения RGB.

Устройство 60 сопряжения RGB, показанное более подробно на фиг. 25, дает возможность выборки преобразованных видеоданных или внешних видеоданных RGB для дисплея посредством входной секции видеосигналов. Внешний сигнал RGB считается сигналом с соотношением дисплея широкого формата, адаптированным для сканирования с частотой $2f_H$. Компонент вертикальной синхронизации основного сигнала подается на устройство сопряжения RGB широкоэкранный процессора как INT VERT RST OUT, обеспечивающий доступность выбранной вертикальной синхронизации (f_{vm} или f_{vext}) для схемы отклонения 50. Функционирование широкоэкранный телевизионной системы дает возможность пользователю выбирать внешний сигнал RGB путем генерирования внутреннего/внешнего управляющего сигнала INT/EXT. Однако выбор внешнего сигнала RGB как входного при отсутствии такого сигнала может привести к вертикальному коллапсу раstra и к повреждению электронно-лучевой трубки или проекционных трубок. Соответственно схема сопряжения RGB детектирует внешний синхронизирующий сигнал, чтобы избежать выбора несуществующего входного сигнала внешних RGB. Микропроцессор WSP 340 также посылает управляющие сигналы цвета и оттенка для внешнего сигнала RGB.

Широкоэкранный процессор 30 содержит процессор изображения-в-изображении 320 для специальной сигнальной обработки вспомогательного видеосигнала. Термин изображение-в-изображении иногда имеет сокращенное выражение как PIP или пикс-в-пиксе (пикс от слова пиксел, т.е.

элемент изображения). Матрица 300 логических элементов объединяет данные основного и вспомогательного видеосигналов в широкое разнообразие форматов дисплея, как показано, например, на фигурах с 1(b) по 1(i).

Процессор 320 изображения-в-изображении и матрица 300 логических элементов находятся под управлением широкоэкранный микропроцессора 340 (WSP μP). Микропроцессор 340 реагирует на ТУ-микропроцессор 216 по последовательной шине. Последовательная шина включает в себя четыре сигнальных линии для данных, синхросигналов, возбуждающих сигналов и сигналов установки в исходное положение. Широкоэкранный процессор 30 также генерирует полный вертикальный запирающий/устанавливающий в исходное положение сигнал как трехуровневый блокирующий сигнал. Альтернативно вертикальный запирающий и устанавливающий в исходное положение сигналы могут быть генерированы как отдельные сигналы. Полный запирающий сигнал подается выходной секцией видеосигналов на устройство сопряжения RGB.

Схема отклонения 50, показанная более подробно на фиг. 22, принимает сигнал установки в вертикальное исходное положение от широкоэкранный процессора, выбранный $2f_H$ горизонтальный синхронизирующий сигнал от устройства 60 сопряжения RGB и дополнительные управляющие сигналы от широкоэкранный процессора. Эти дополнительные управляющие сигналы касаются горизонтального фазирования, регулирования вертикального размера и регулирования штыря восток-запад. Схема отклонения 50 посылает $2f_H$ импульсы обратного хода луча на широкоэкранный процессор 30, преобразователь $40\ 1f_H$ в $2f_H$ и преобразователь 240 YUV в RGB.

Рабочие напряжения для всей широкоэкранный телевизионной системы генерируются источником питания 70, который может питаться от магистральной линии питания переменного тока.

Широкоэкранный процессор 30 показан более подробно на фиг. 3. Основные компоненты широкоэкранный процессора включают в себя матрицу 300 логических элементов, схему 301 изображения-в-изображении, аналого-цифровой и цифроаналоговый преобразователи, второе подстроечное устройство 208, микропроцессор 340 широкоэкранный процессора и широкоэкранный выходной кодер 227. Дальнейшие подробности широкоэкранный процессора, которые являются общими с шасси $1f_H$, $2f_H$, например схемой PIP, показаны на фиг. 6. Процессор 320 изображения-в-изображении, который образует значительную часть схемы PIP 301, показан более подробно на фиг. 7. Матрица 300 логических элементов показана более подробно на фиг. 8. Количество компонентов, показанных на фиг. 3, образующих части линий основного и вспомогательного сигналов, уже были описаны подробно.

Второе подстроечное устройство 208 взаимодействует с этим на стадии 224 IF и

звуковой стадии 226. Второе подстроечное устройство 208 также функционирует совместно с WSP μ P 340. WSP μ P 340 содержит секцию 1/0 (входа/выхода) 340A и секцию аналогового выхода 340B. 1/0 секция 340A обеспечивает управляющие сигналы цвета и оттенка, сигнал INT/EXT для выборки внешнего видеоисточника RGB и управляющие сигналы для переключателей с SW1 по SW6. Секция 1/0 также управляет сигналом EXT SYNC DET от устройства сопряжения RGB для защиты схемы отклонения и электронно-лучевых трубок. Секция аналогового выхода 340B обеспечивает управляющие сигналы в отношении вертикального размера, регулировки восток-запад и горизонтальной фазы через соответствующие схемы сопряжения 254, 256 и 258.

Матрица 300 логических элементов реагирует на комбинированную видеоинформацию от линий основного и вспомогательного сигналов, чтобы реализовать полный широкоэкранный дисплей, например, один из тех, который показан в разных частях фиг. 1. Синхронизирующая информация в отношении матрицы логических элементов обеспечивается системой 374 фазовой автоматической подстройки частоты, которая функционирует совместно с фильтром нижних частот 376. Основной видеосигнал подается на широкоэкранный процессор в аналоговой форме и формате YUV, как сигналы, обозначенные Y_M, U_M и V_M. Эти основные сигналы преобразуются из аналоговой формы в цифровую посредством аналого-цифровых преобразователей 342 и 346, показанных более подробно на фиг. 4.

Сигналы цветовых компонентов именуются своими общими обозначениями U и V, которые могут быть присвоены либо сигналам R-Y или B-Y, либо сигналам 1 и 0. Выбранная ширина полосы частот яркости ограничена 8 МГц, потому что частота синхронизации системы оставляет 1024f_H, что составляет примерно 16 МГц. Один аналого-цифровой преобразователь и аналоговый переключатель может использоваться для выборки данных о цветовом компоненте, потому что сигналы U и V ограничены 500 МГц или 1,5 МГц в отношении ширины 1. Выборочная линия UVMUX для аналогового переключателя или мультиплексора 344 дает сигнал 8 МГц, полученный путем деления на 2 синхронизатором системы. Шириной 1 синхроимпульс сигнал SOL пуска строки синхронно устанавливает в исходное положение этот сигнал на ноль в начале каждой горизонтальной видеостроки. Строка UVMUX тогда затем переключается в состояние каждый цикл синхронизации в горизонтальной строке. Так как длина строки является четным числом циклов синхронизации, однажды установленное состояние UVMUX будет соответственно переключать 0,1,0,1,0,1, ... без прерывания. Потоки данных Y и UV из аналого-цифровых преобразователей 342 и 346 сдвигаются, потому что каждый аналого-цифровой преобразователь имеет задержку 1 цикл синхронизации. Чтобы адаптировать этот сдвиг данных, информация о стробировании

синхронизации от средства управления интерполятором 349 линии обработки основного сигнала 304 должна быть аналогично задержана. Если информация стробирования синхронизации не задержана, данные UV не будут правильно спариваться при вычеркивании. Это важно, потому что каждая пара UV представляет один вектор. Элемент U от одного вектора не может быть спарен с элементом V от другого вектора, не вызывая сдвига цвета. Вместо этого образец V из предшествующей пары будет вычеркнут вместе с текущим образцом U. Этот способ мультиплексирования UV именуется как 2:1:1, так как имеются два образца яркости в отношении каждой пары образцов цветовых компонентов (U, V). Минимально допустимая частота выборки (опроса) в отношении U и V эффективно уменьшается до половины минимально допустимой частоты выборки. Соответственно минимально допустимая частота выборки выходного сигнала аналого-цифрового преобразователя в отношении компонента яркости составляет 8 МГц, тогда как минимально допустимая частота выборки выходного сигнала аналого-цифрового преобразователя в отношении цветовых компонентов составляет 4 МГц.

Схема PIP и/или матрица логических элементов могут также содержать средство для усиления разрешающей способности вспомогательных данных несмотря на сжатие данных. Количество схем уменьшения данных и восстановления данных предусматривается, включая, например, сжатие спаренных элементов изображения, подмешивание псевдослучайного сигнала и устранение подмешанного псевдослучайного сигнала. Кроме того, предусматриваются разные последовательности подмешивания псевдослучайного сигнала, включая разные количества бит, и разные сжатия спаренных элементов изображения, включая разные количества бит. Одна из числа конкретных схем сжатия и восстановления данных может быть выбрана средством WSP μ P 340, чтобы максимизировать разрешающую способность визуализируемого видеосигнала в отношении каждого конкретного типа формата дисплея изображения.

Матрица логических элементов включает в себя интерполяторы, которые функционируют совместно со строчными блоками памяти, которые могут быть выполнены как блоки памяти FIFO 356 и 358. Интерполяторы и FIFO используют для повторной выборки основного сигнала при необходимости. Дополнительный интерполятор может повторно выбирать вспомогательный сигнал. Синхронизатор и схемы синхронизации в матрице логических элементов управляют обработкой данными основного и вспомогательного сигналов, включая комбинацию их в одинарном выходном видеосигнале, имеющем компоненты Y_MX, U_MX и V_MX. Эти выходные компоненты преобразованы в аналоговую форму из цифровой в аналоговых преобразователях 360, 362 и 364. Сигналы в аналоговой форме, обозначенные Y, U и V, подаются на преобразователь 40 1f_H в 2f_H для преобразования в нечересстрочное сканирование. Сигналы Y, U и V также кодируются в формат Y/C кодером 227 для определения выходного сигнала с

широкоформатным соотношением сторон $Y_{OUT-EXT}/C_{OUT-EXT}$, доступного на панельных клеммах. Переключатель SW 5 выбирает синхронизирующий сигнал для кодера 227 либо из матрицы логических элементов C_{SYNC_MN} , либо из схемы $P_{IP-C_SYNC_AUX}$. Переключатель W6 выбирает между Y_M и C_{SYNC_AUX} в качестве синхронизирующего сигнала в отношении широкоэкранный выход на панели.

Участки схемы горизонтальной синхронизации более подробно показаны на фиг. 27. Фазовый компаратор 228 является частью цепи блокирования фазы, включающей фильтр 230 нижних частот, управляемый напряжением генератор 232, делитель 234 и конденсатор 236. Управляемый напряжением генератор 232 функционирует на $32f_H$, реагирует на керамический резонатор или ему подобный 238. Выход REF $32f_H$ резонатора является входным сигналом на преобразователь $401f_H$ в $2f_H$. Выход управляемого напряжением генератора делится на 32 для получения второго входного сигнала правильной частоты для фазового компаратора 228. Выход делителя 234 составляет синхросигнал REF $1f_H$, подаваемый на широкоэкранный процессор и на преобразователь $1f_H$ в $2f_H$. Синхронизирующие сигналы REF $32f_H$ и REF $1f_H$ от однокристалльной схемы подаются для деления на 16 на счетчик 400. Выход $2f_H$ подается на цепь 402 ширины импульса. Предпочтительная установка делителя 400 сигналом REF $1f_H$ обеспечивает, что делитель функционирует синхронно с цепью блокировки фазы входной секции видеосигналов. Схема 402 ширины импульса обеспечивает, что сигнал REF $2f_H$ будет иметь адекватную ширину импульса, чтобы обеспечить правильное функционирование фазового компаратора 404, например, типа CA1391, который образует часть второй цепи фазовой блокировки, включающей фильтр 406 нижних частот и $2f_H$ - управляемый напряжением генератор 408. Управляемый напряжением генератор 408 генерирует внутренний $2f_H$ синхросигнал, который используется для возбуждения прогрессивно сканируемого дисплея. Другой входной сигнал на фазовый компаратор 404 представляет импульсы обратного хода луча $2f_H$ от схемы отклонения 50 или связанный с этим синхронизирующий сигнал. Использование второй цепи блокировки фазы, содержащей фазовый компаратор 404, полезно для обеспечения, что каждый период сканирования с частотой $2f_H$ является симметричным в каждом периоде с частотой $1f_H$ входного сигнала. В противном случае дисплей может показывать расщепленный растр, например, в котором половина видеострок смещена вправо и половина видеострок смещена влево.

Блок-схема цепи 900 для преобразования чересстрочно сканированного в прогрессивно сканированный дисплей показана на фиг. 20. Схема может быть выполнена как интегральная схема. Схема обеспечивает все функции обработки сигнала, необходимые для преобразования видеосигналов чересстрочных компонентов в прогрессивный нечересстрочный формат. Дополнительно

схема обеспечивает регулируемую величину снижения шума в отношении сигналов, где это может быть необходимым. Схема, как показана, может использоваться с сигналами компонентов Y , U и V и совместно с блоком памяти 902 кадра в форме интегральной схемы видео RAM, например, типа HM5305IP, производства Хитахи.

Сигналы компонентов цветности U_C и V_C внутри фиксируются с помощью фиксатора задней площадки гасящего импульса относительно напряжения, соответствующего цифровому нулю. После схем фиксации уровня 904 и 906 аналоговый мультиплексор 908 попеременно выбирает каждый компонент цветности на частоте 2 МГц. Эти выбранные образцы затем преобразуются в 8-битовый цифровой сигнал импульсным аналого-цифровым преобразователем 910, функционирующим на частоте 4 МГц. Отобранные образцы проходят через схему 912 снижения шума в сигнале цветности на блок памяти 914 ускорения быстрогодействия. Блок памяти ускорения быстрогодействия запоминает только активную 53 мксек часть каждой поступающей видеостроки, так что в блок памяти загружается только 106 выбранных образцов каждого компонента цветности. Память считывается дважды со скоростью записи, производя две идентичные строки информации цветности. Сигнал бланкируется относительно нуля во время интервалов, когда образцы из памяти недоступны по причине бланкирующей цепи 916. Два компонента цветности отделяются друг от друга демультиплексором 918 и преобразуются в аналоговую форму, используя два цифроаналоговых преобразователя 920 и 922. Опорный уровень для цифроаналоговых преобразователей может регулироваться с помощью последовательной шины, которая производит сопряжение со схемой управления шинами 924, и может использоваться как регулировка насыщения цвета при необходимости.

Сигнал яркости Y_C внутренне фиксируется фиксатором (схемой фиксации уровня) 926 во время задней площадки гасящего импульса относительно уровня, который может быть установлен посредством последовательной управляющей шины. Этот сигнал преобразуется в 8-битовый цифровой формат, используя импульсный аналого-цифровой преобразователь 928, функционирующий на 16 МГц. Затем он проходит через схему 930, которая может использоваться для обеспечения автоматической обратной регулировки уровня при необходимости. Яркость пропускается через фильтр нижних частот, используя фильтр 932 с характеристикой

$$H(Z) = (1 + Z^{-1})^2 (1 + Z^{-2})^2 / 16.$$

После фильтрации фильтром нижних частот сигнал подвергается дополнительной выборке схемой 934 на частоте 4 МГц. Субдискретизированный сигнал интерполируется интерполятором 936 обратно до частоты 16 МГц, используя фильтр нижних частот с той же характеристикой, и вычитается из задержанного варианта сигнала первоначальной яркости на суммирующем соединении 938 для получения сигнала, содержащего только компоненты яркости

высокой частоты. Сигнал яркости высокой частоты проходит через нелинейную схему "сохранения" или схему 940 мертвой зоны для удаления небольших сигналов, которые могут быть шумом. Точки прерывания в отношении нелинейной характеристики могут регулироваться посредством последовательной управляющей шины.

Субдискретизированный сигнал низкой частоты проходит через рекурсивную схему снижения шума 942 и затем интерполируется обратно до 16 МГц интерполятором 944 для сложения с сохраняемым высокочастотным сигналом в суммирующем соединении 946. Яркость затем преобразуется в прогрессивный или двойного сканирования формат, используя блок памяти 948 ускорения быстрого действия. Только 53 мсек сигнала, соответствующего 848 образца выборки, загружается в блок памяти. Блок памяти яркости считывается дважды в отношении каждой поступающей горизонтальной строки видеосигнала. Другой блок памяти 950 меньшего ускорения содержит информацию, представляющую разность между интерполированной яркостью для строки "в-между" и поступающей яркостью. Блок памяти меньшего ускорения содержит только низкочастотную информацию, сохраняя 212 образцов выборки. Сначала считывается блок памяти 948 ускорения яркости, разностный сигнал от другого блока памяти 950 ускорения интерполируется интерполятором 952 до полной частоты и складывается с сигналом яркости в суммирующем соединении 970. Это образует сигнал, имеющий низкочастотные компоненты, которые соответствуют интерполированной яркости, и высокочастотные компоненты, которые соответствуют поступающей яркости. Сигнал яркости считывается вторично, разностный сигнал не складывается. Тогда выходным сигналом является вариант двойной скорости входного сигнала.

Бланкирование схемой 954 вводится во время интервала, когда данные блока памяти ускорения недоступны. Уровень этого введенного бланкирования может регулироваться микропроцессором шасси, используя последовательную управляющую шину. Требуется три сигнала: DATA, CLOCK и ENABLE, (ДАННЫЕ, СИНХРОНИЗАЦИЯ и ВОЗБУЖДЕНИЕ). Цифровой сигнал ускорения преобразуется в аналоговую форму цифроаналоговым преобразователем 956. Опорный уровень для преобразователя может регулироваться посредством управляющей шины.

Интерполяция строки информации о низкочастотной яркости полностью производится при пониженной скорости/частоте выборки образцов (4 МГц), используя адаптивную обработку движения. Внешняя 1 Мбит видео-RAM 902, используемая как блок памяти кадров, запоминает две зоны 8-битовой низкочастотной яркости и одну зону 3-битового сигнала движения. Сообщение с видео-RAM происходит через устройство сопряжения 964 блока памяти кадров. Каждая загруженная в блок памяти зона представляет максимум 256 активных видеострок, каждая из которых содержит 212 активных образцов выборки. Пространственная интерполяция

(для использования в зонах движения) производится при пропуске низкочастотной яркости с пониженным шумом через $1f_H$ задержку 958 и усреднении задержанных и незадержанных сигналов в схеме 960. Выходной сигнал $1f_H$ -задержки также загружается в блок памяти кадров. Позже одна зона минус $1/2$ строки считывается из памяти как сигнал задержанной зоны. Это образует временно интерполированный сигнал для использования в зонах без движения.

Сигнал задержанной зоны снова загружается в блок памяти кадров и считывается после другой зоны минус $1/2$ строки. Это дает суммарную задержку одного кадра. Сигнал задержанного кадра сравнивается с незадержанным сигналом на основе образец-за-образцом в детекторе движения 962. 3-битовый сигнал движения, представляющий восемь разных уровней движения, образуется в результате этого. Сигнал движения также загружается в блок памяти кадров и позже считывается как одна зона плюс $1/2$ строки. Движение задержанной зоны сравнивается с незадержанным движением, и сигнал, представляющий большую величину движения, выбирается в схеме 978. Этот сигнал движения используется для управления "плавным переключением" или "регулированием уровня сигнала" 968, который может выбирать между пространственно интерполированным и временно интерполированным сигналами в восьми разных градациях.

Незадержанный низкочастотный сигнал яркости вычитается из выходного сигнала плавного переключателя в суммирующем соединении 968, образуя сигнал, который представляет разность между интерполированной и поступающей низкочастотной яркостью. Разностный сигнал загружается в отдельную память ускорения 950, как описано выше.

Рекурсивная схема 942 снижения шума может быть формы, показанной в блок-схеме на фиг. 21. Входной сигнал вычитается из задержанного варианта выходного сигнала, задержанного схемой 986 в суммирующем соединении 980. Если величина задержки выбрана правильно в отношении большинства сигналов, входной сигнал будет почти таким же, как задержанный выходной сигнал, и разность будет незначительной. Эта разность будет затем пропускаться через блок ограничителя 982 без ограничения (когда нет ограничения, ограничитель имеет усилие 7/8). Когда выход ограничителя складывается со входом схемы в суммирующем соединении 984, большая часть входного сигнала аннулируется и заменяется задержанным выходным сигналом. Тем самым небольшие изменения как шум снижаются. Когда входной сигнал значительно отличается от задержанного выходного сигнала, происходит ограничение. Результирующий выходной сигнал тогда почти равен входному сигналу. Порог, когда происходит ограничение, может регулироваться посредством последовательной управляющей шины, что дает возможность изменять величину снижения шума от нуля (порог нуля) до любой требуемой величины.

В отношении снижения шума низкочастотной яркости задержка в

вышеприведенной схеме равна времени одного кадра. Соответственно шум на неподвижных изображениях снижается временным фильтром нижних частот. Схема снижения шума цветности состоит из каскада двух этих цепей (схем), одна с задержкой, равной времени одной выборки (0,5 мсек), и другая с задержкой, равной времени сканирования одной строки (64 мсек). Первая схема фильтрует шум в горизонтальном направлении, и вторая фильтрует его в вертикальном направлении.

Схема 900 может включать преобразователь 40, преобразующий $1f_H$ в $2f_H$, поясненный подробно в связи с фиг. 27. Поэтому цифровые позиции из фиг. 27 повторяются в фиг. 20 в нижнем левом углу. Синхронизирующие сигналы, используемые в схеме, происходят от 32 МГц генератора 238, который заблокирован по фазе 1024-кратно относительно частоты горизонтального отклонения дисплея. Сигнал обратного хода луча из схемы отклонения подается на $2f_H$ вход для достижения этого. Внешняя LC схема 974 устанавливает среднюю частоту несущей генератора 32 МГц, тогда как внешняя R-C цепь фильтра 406 устанавливает характеристики цепи заблокированной фазы. Фазирование внутренних синхронизирующих сигналов (логические элементы фиксирования, бланкирование и т.д.) может регулироваться относительно $2f_H$ входного сигнала посредством последовательной шины. Входной сигнал на частоте $1f_H$ также необходим для установления, какой из импульсов $2f_H$ происходит в начале поступающей строки и какой происходит в середине поступающей строки.

Входной сигнал вертикального импульса, например f_{Vm} , используется для установления начала зоны, так что правильные строки загружаются в память кадров. Число строк, которое пропускается между передним фронтом вертикального импульса, и начало функционирования памяти может регулироваться посредством команды шины. Схема для генерирования внутреннего $2f_H$ сигнала для возбуждения системы горизонтального отклонения была уже описана. Фазирование $2f_H$ выходного сигнала относительно $1f_H$ входного сигнала может регулироваться путем использования последовательной шины.

Схема отклонения 50 показана более подробно на фиг. 22. Схема 500 предусмотрена для регулирования вертикального размера раstra в соответствии с требуемой величиной вертикального захода развертки за пределы полезной площади экрана, необходимой для реализации различных форматов дисплея. Как схематично показано, источник постоянного тока 502 обеспечивает постоянное количество тока I_{damp} , который заряжает конденсатор 504 вертикального линейного изменения. Транзистор 506 соединен параллельно с конденсатором вертикального линейного изменения и периодически разряжает конденсатор, реагирующий на сигнал вертикальной установки в исходное положение. При отсутствии регулировки ток I_{damp} обеспечивает максимальный возможный вертикальный размер раstra. Это

может соответствовать степени вертикального захода развертки за пределы полезной площади экрана, необходимой для заполнения широкоэкрannого дисплея посредством источника сигнала с соотношением расширенного 4 x 3 формата дисплея, как показано на фигуре 1(а). В отношении степени, когда требуется меньший вертикальный размер раstra, регулируемый источник тока 508 отклоняет (изменяет) переменную величину тока I_{damp} от величины

I_{damp} таким образом, что конденсатор вертикального линейного изменения 504 заряжается более медленно и до меньшей пиковой величины. Источник переменного тока 508 реагирует на сигнал регулировки вертикального размера, например, в аналоговой форме, генерируемый схемой 1030 управления вертикальным размером, показанной на фиг. 49. Блок регулировки вертикального размера 500 не зависит от блока ручной регулировки вертикального размера 510, который может быть выполнен как потенциометр или ручка регулировки на задней панели. В любом случае катушки вертикального отклонения 512 принимают возбуждающий ток правильной величины. Горизонтальное отклонение производится посредством схемы 518 регулировки фазы, схемы 514 коррекции штыря Восток-Запад, цепи 520 блокировки фазы $2f_H$ и схемы 516 горизонтального выходного сигнала.

Схема 60 сопряжения RGB показана более подробно на фиг. 25. Сигнал, который обязательно должен быть визуализирован, будет выбираться между выходом преобразователя 40 $1f_H$ в $2f_H$ и входом внешних RGB. Для целей широкоэкрannого телевидения, описываемого здесь, входной сигнал внешних RGB предполагается представляющим собой прогрессивно сканируемый источник с широкоформатным соотношением дисплея. Сигналы внешних RGB и полный бланкирующий сигнал из входной секции видеосигналов 20 являются входными сигналами RGB на преобразователь Y UV 610, показанный более подробно на фиг. 26. Тогда внешний $2f_H$ полный синхронизирующий сигнал для сигнала внешних RGB является входным сигналом на сепаратор 600 внешнего синхронизирующего сигнала. Выбор вертикального синхронизирующего сигнала реализуется переключателем 608. Выбор горизонтального синхронизирующего сигнала реализуется переключателем 604. Выбор видеосигнала реализуется переключателем 606. Каждый из переключателей 604, 606 и 608 реагирует на внутренний/внешний управляющий сигнал, генерируемый средством WSP μP 340. Выбор внутренних или внешних видеоисточников является выбором пользователя. Однако если пользователь ошибочно выбирает источник внешних RGB, когда такой источник не присоединен или не включен, или если внешний источник не функционирует, вертикальный растр разрушится, и может произойти серьезное повреждение электронно-лучевой трубки. Соответственно детектор 602 внешней синхронизации проверяет наличие внешнего синхронизирующего сигнала. При отсутствии

такого сигнала управляющий сигнал блокировки переключателя передается на каждый переключатель 604, 606 и 608 для предотвращения выборки источника внешних RGB, если сигнал от него отсутствует. Преобразователь 610 RGB в YUV также принимает управляющие сигналы цвета и оттенка от цепи WSP μP 340.

Преобразователь 610 RGB в YUV показан более подробно на фиг. 26. Синхронизирующие компоненты сигналов RGB удаляются схемами 612, 614 и 616 соответственно. Сигналы алгебраически объединяются суммирующими схемами 618, 620 и 622 для определения сигналов R-Y (U), B-Y (V) и Y. Разрядные частотные умножители 628 и 634 изменяют фазу сигналов R-Y и B-Y так, что изменяется эффективный цвет сигналов, даже если фаза не совсем правильная в отношении фазированных устройств R-Y и B-Y. Аналогичным образом разрядные частотные умножители 640 и 638 изменяют фазу, чтобы изменить эффективный оттенок, несмотря на изменчивость сигналов R-Y и B-Y по отношению к правильному углу фазированного устройства. Управляющие сигналы цвета и оттенка могут быть генерированы схемой WSP μP 340, реагирующей на микропроцессор шасси. Это обеспечивает удобное управление характеристиками цвета и оттенка сигнала внешних RGB без необходимости применения дополнительной схемы и без необходимости регулирования самого источника RGB.

Есть расхождение сигнала Y 7,5 IRE по отношению к правильно определенному уровню черного. Схема 648 смещения бланкирования вводит сдвиг уровня 7,5 IRE с целью компенсации. Сигнал KEY является управляющим сигналом, генерируемым в передней площадке гасящего импульса видеосигнала после заднего фронта вертикального синхронизирующего сигнала и до начала активного видеосигнала. Сигнал KEY устанавливается в случае, когда должна происходить фиксация уровня в схеме 646. Схемы задержки 624 и 626 устанавливают правильное фазовое соотношение сигналов R-Y, B-Y и Y, несмотря на последующие изменения, реагирующие на управляющие команды цвета и оттенка.

Общая блок-схема широкоэкранной телевизионной системы в соответствии с вариантами реализации изобретения и адаптированной функционировать с частотой $1f_H$ горизонтальной развертки, показана на фиг. 4 и в целом обозначена под позицией 11. Те части телевизионной системы 11, которые соответствуют по существу компонентам в телевизионной системе 10, показанной на фиг. 2, обозначены под теми же цифровыми позициями. Телевизионная система 11 вообще содержит входную секцию видеосигналов 21, шасси или ТУ-микропроцессор 216, широкоэкранный процессор 31, схему горизонтального отклонения 52, схему вертикального отклонения 56, матрицу RGB 241, возбуждители записи с экрана приемной телевизионной трубки 242, трубки проекционная и прямого видения 244 и источник питания 70. Преобразователь $1f_H$ в $2f_H$ и устройство сопряжения RGB не используются. Соответственно не предусмотрена визуализация внешнего

сигнала RGB с соотношением широкоформатного дисплея на частоте сканирования $2f_H$. Группирование разных схем в различные функциональные блоки предпринято для целей удобства описания и не направлено на ограничение физического местоположения каждой схемы относительно другой.

Входная секция видеосигналов 21 адаптирована принимать множество полных видеосигналов от разных видеосистем. Видеосигналы могут выборочно переключаться для визуализации как основной и вспомогательный видеосигналы. RF переключатель 204 имеет два антенных входа ANT1 и ANT2. Они представляют входы для приема встроенной антенны и приема кабеля. RF переключатель 204 управляет, какой антенный вход подается на первое устройство 208. Выход первого подстроечного устройства 206 является входным сигналом для однокристаллической схемы 203, которая выполняет ряд функций, связанных с настройкой, управлением видеосигналами и горизонтальным и вертикальным отклонениями. Показанная конкретная однокристаллическая схема имеет промышленное обозначение TA8680. Полный видеосигнал VIDEO OUT, генерируемый в однокристаллической схеме и вытекающий из сигнала от первого подстроечного устройства 206, является входным сигналом для видеопереключателя 200 и входа TV1 широкоэкранного процессора 31. Остальные входы полных видеосигналов на видеопереключатель 200 обозначены AUX1 и AUX2. Они могут использоваться для видеокамер, видеоманитов и подобных устройств. Выход видеопереключателя 200, который управляется с шасси или телевизионного микропроцессора 216, обозначен как SWITCHED VIDEO. Сигнал SWITCHED VIDEO является другим входным сигналом на широкоэкранный процессор 31.

Согласно фиг. 5 переключатель SW1 широкоэкранного процессора производит выборку между сигналами TV1 и SWITCHED VIDEO как видеосигнала SEL COMP OUT, который является входным сигналом на Y/C декодер 210. Y/C декодер 210 может быть выполнен как адаптивный линейный гребенчатый фильтр. Дальнейший видеосигнал S1 также является входным сигналом на Y/C декодер 210. Источник S1 представляет S-VHS источник и состоит из отдельных сигналов яркости и цветности. Переключатель, который может быть включен как часть Y/C декодера, как в некоторых адаптивных линейных гребенчатых фильтрах, или который может быть выполнен как отдельный переключатель, реагирует на телевизионный микропроцессор 216 для выборки одной пары сигналов яркости и цветности как выходных сигналов, обозначенных Y_M и C_IN соответственно. Выбранная пара сигналов яркости и цветности после этого считается основным сигналом и обрабатывается по линии основного сигнала. Декодер/демодулятор в широкоэкранном процессоре генерирует сигналы цветового контраста U_M и V_M. Сигналы Y_M, U_M и V_M преобразуются в цифровую форму в широкоэкранном процессоре для дальнейшей обработки сигнала в матрице 300 логических элементов.

Второе подстроечное устройство 208, функционально определяемое как часть широкоэкранный процессор 31, генерирует полный видеосигнал TV2. Переключатель SW2 производит выборку между сигналами TV2 и SWITCHED VIDEO в качестве входного сигнала на Y/C декодер 220. Y/C декодер 220 может быть выполнен как адаптивный линейный гребенчатый фильтр. Переключатели SW3 и SW4 производят обработку между выходными сигналами яркости и цветности Y/C декодера 220, сигналами яркости и цветности внешнего видеисточника, обозначенного Y-EXT/C_EXT и Y-M, C_IN. Сигналы Y_EXT/C_EXT соответствуют S-VHS входу S1. Y/C декодер 220 и переключатели SW3 и SW4 могут быть объединены, как в некоторых адаптивных линейных гребенчатых фильтрах. Выходной сигнал переключателей SW3 и SW4 после этого считается вспомогательным сигналом и обрабатывается по линии вспомогательного сигнала. Выбранный выходной сигнал яркости обозначен Y_A. Выбранная цветность преобразуется в сигналы цветовой контрастности U_A и V_A. Сигналы Y_A, U_A и V_A преобразуются в цифровую форму для дальнейшей обработки сигнала. Средство переключения источника видеосигнала в линиях основного и вспомогательного сигнала максимизирует гибкость управления выбором источника для разных частей разных форматов изображения на дисплее.

Широкоэкранный процессор 30 содержит процессор 320 изображения-в-изображении для специальной обработки сигнала вспомогательного видеосигнала. Термин изображение-в-изображении иногда имеет сокращенное выражение PIP или пикс-в-пиксе. Матрица 300 логических элементов объединяет данные (информацию) основного и вспомогательного видеосигналов в широком разнообразии форматов дисплея, как иллюстрировано примерами на фигурах с 1(b) по 1(i). Процессор изображения-в-изображении 320 и матрица 300 логических элементов находятся под управлением широкоэкранный микропроцессор WSP μP 340. Микропроцессор 340 реагирует на телевизионный микропроцессор 216 по последовательной шине. Последовательная шина содержит четыре сигнальных линии: для данных, синхросигналов, возбуждающих сигналов и сигналов установления в исходное положение. Широкоэкранный процессор 30 также генерирует полный вертикальный бланкирующий/устанавливающий в исходное положение сигнал как трехуровневый блокирующий сигнал. Альтернативно вертикальный бланкирующий и устанавливающий в исходное положение сигналы могут генерироваться как отдельные сигналы. Полный бланкирующий сигнал подается входной секцией видеосигналов на устройство сопряжения RGB.

Компоненты горизонтальной и вертикальной синхронизации основного сигнала генерируются в синхроразделителе 286, составляющим часть демодулятора 288, образующего часть широкоэкранный процессор. Компонент горизонтальной синхронизации является входным сигналом на цепь 290 блокирования фазы с частотой $1f_H$. Сигналы горизонтальной и вертикальной

синхронизации вспомогательного видеосигнала образуются синхроразделителем 250 в широкоэкранный процессор 31. Схема горизонтального отклонения 52 функционирует совместно с однокристаллической схемой, реагирующей на управляющие сигналы регулировки штыря восток-запад и горизонтальной фазы от средства WSP μP 340. Схема вертикального отклонения 56 реагирует на схему 54 управления вертикальным размером. Схема 54 управления вертикальным размером реагирует на управляющий сигнал вертикальным размером от WSP μP 340 и функционирует подобно устройству управления вертикальным размером в отношении $2f_H$ шасси, описанного выше.

Широкоэкранный процессор 31 показан более подробно на фиг. 5. Основными компонентами широкоэкранный процессор являются матрица 300 логических элементов, схема 301 изображения-в-изображении, аналого-цифровой и цифроаналоговый преобразователи, второе подстроечное устройство 208, микропроцессор 340 широкоэкранный процессор и широкоэкранный выходной кодер 227. Остальные подробности широкоэкранный процессор, которые являются общими с шасси $1f_H$ и $2f_H$, например, схема PIP, показаны на фиг. 6. Процессор изображения-в-изображении 320, который составляет значительную часть схемы PIP 301, показан более подробно на фиг. 7. Матрица 300 логических элементов показана более подробно на фиг. 8. Ряд компонентов, показанных на фиг. 3, образующих части линий основного и вспомогательного сигналов, были уже подробно описаны.

Компоненты горизонтальной и вертикальной синхронизации основного сигнала образуются в сепараторе 286 синхросигналов, образующем часть демодулятора 268, составляющего часть широкоэкранный процессор. Компонент горизонтальной синхронизации является входным сигналом на схему 290 фазовой блокировки $1f_H$. Сигналы горизонтальной и вертикальной синхронизации вспомогательного видеосигнала образуются разделителем 250 синхросигналов в широкоэкранный процессор 31. Схема 52 горизонтального отклонения функционирует совместно с однокристаллической схемой, реагирующей на управляющие сигналы регулировки штыря восток-запад и горизонтальной фазы от WSP μP 340. Схема вертикального отклонения 56 реагирует на схему управления вертикальным размером 54. Схема 54 управления вертикальным размером реагирует на управляющий сигнал вертикальным размером от WSP μP 340 и функционирует аналогично управляющему устройству управления вертикальным размером для шасси $2f_H$, описанного выше.

Широкоэкранный процессор 31 показан более подробно на фиг. 5. Основными компонентами широкоэкранный процессор являются матрица 300 логических элементов, схема 301 изображения-в-изображении, аналого-цифровой и цифроаналоговый преобразователи, второе подстроечное устройство 208, микропроцессор 340 широкоэкранный процессор и

широкоэкранный выходной кодер 227. Дальнейшие подробности широкоэкранный процессора, которые являются общими с шасси 1f_H и 2f_H, например, схемой PIP, показаны на фиг. 6. Процессор 320 изображения-в-изображении, который составляет значительную часть схемы PIP 301, показан более подробно на фиг. 7. Матрица 300 логических элементов показана более подробно на фиг. 8. Ряд компонентов, показанных на фиг. 3, составляющих часть линий основного и вспомогательного сигналов, уже были описаны подробно. Ряд других компонентов, таких как второе подстроечное устройство 208, WSP μ P 340 и выходы устройства сопряжения, аналого-цифровой и цифроаналоговый преобразователи, матрица 300 логических элементов, схема PIP 301 и PLL 374 функционируют по существу также, как пояснено в связи с фиг. 3, и подробности об этом не повторяются.

Основной видеосигнал подается на широкоэкранный процессор в аналоговой форме как сигналы, обозначенные Y_M и C_{IN}. Сигнал C_{IN} декодируется на сигналы цветового контраста U_M и V_M демодулятором 288. Основные сигналы преобразуются из аналоговой в цифровую форму аналого-цифровыми преобразователями 342 и 346, показанными более подробно на фиг. 6. Данные вспомогательного видеосигнала также находятся в аналоговой форме и формате YUV и обозначены как сигналы Y_A, U_A и V_A. В схеме PIP 301 эти вспомогательные сигналы преобразуются в цифровую форму, данные сжимаются, загружаются в память зоны для синхронизации с основным сигналом и подаются на матрицу 300 логических элементов для объединения с основным сигналом, как требует выбранный формат дисплея изображения, например, путем мультиплексирования на основе строки за строкой. Функционирование схемы PIP пояснено более подробно в связи с фиг. 6. Схема PIP и/или матрица логических элементов могут также содержать средство для усиления разрешающей способности вспомогательных данных несмотря на сжатие данных. Сигналы в аналоговой форме, обозначенные Y, U и V, подаются на кодер 227, чтобы определить выходной сигнал с широкоформатным соотношением Y_{OUT} EXT/C_{OUT} EXT, который в этом случае является выходным сигналом на однокристальную схему 203. Кодер 227 принимает только сигнал C_{SYNC_MN} от матрицы логических элементов. Переключатель SW5 производит выборку между сигналами Y_M и C_{SYNC_AUX} в качестве входного сигнала на аналого-цифровые преобразователи. Однокристальная схема генерирует сигналы форма YUV для матрицы 241 RGB, которая посылает сигналы формата RGB на возбудители 242 записи с экрана приемной телевизионной трубки из сигналов Y_{OUT} EXT и C_{UOT} EXT.

Фиг. 6 является блок-схемой, показывающей дальнейшие подробности широкоэкранных процессоров 30 и 31, общих с 1f_H и 2f_H шасси, показанных на фиг. 3 и 5 соответственно. Сигналы Y_A, U_A и V_A являются входными сигналами на процессор

320 изображения-в-изображении, который может содержать схемы 370 обработки разрешающей способности. Широкоэкранный система телевидения согласно отличительным признакам изобретения может расширять и сжимать видеосигналы. Специальные эффекты, достигаемые различными полными форматами дисплея, показанными частично на фиг. 1, образуются процессором 320

изображения-в-изображении, который может принимать сигналы обработанных данных в отношении разрешающей способности Y_{PP}, U_{PP} и V_{PP} от схемы 370 обработки разрешающей способности. Обработка разрешающей способности не требуется все время, а только в течение выбранных форматов дисплея. Процессор 320 изображения-в-изображении показан более подробно на фиг. 7. Основными компонентами процессора изображения-в-изображении являются секции 322 аналого-цифрового преобразователя, входная секция 324, быстродействующий переключатель (FSW) и секция шины 326, секция управления и синхронизации 328 и секция цифроаналогового преобразователя 330. Секция управления и синхронизации 328 показана более подробно на фиг. 14.

Процессор 320 изображения-в-изображении может быть выполнен как улучшенный вариант основного CIP чипа, разработанного фирмой "Томсон консьюмер электроникс, инк". Основной CIP-чип описан более полно в публикации под названием CTC 140 изображения-в-изображении фирмой "Томсон консьюмер электроникс, инк", Индианаполис, Индиана. Число специальных средств или специальных эффектов вполне возможно, из которых нижеприведенные являются иллюстративными. Основной специальный эффект в том, что производится большое изображение, имеющее небольшое изображение, перекрывающее часть его как показано на фиг. 1(c). Большое и небольшое изображения могут вытекать из одного и того же видеосигнала, из разных видеосигналов и могут взаимозаменяться или переставляться местами. Вообще говоря, звуковой сигнал включается, чтобы всегда соответствовать большому изображению. Небольшое изображение может двигаться в любое положение на экране или может останавливаться в ряде заданных положений. Средство трансфокации увеличивает и уменьшает размер небольшого изображения, например, до одного из нескольких заданных размеров. В некоторой точке, например формат дисплея, показанный на фиг. 1 (d), большое и малое изображения фактически одного и того же размера.

В режиме одинарного изображения, например, как показано на фиг. 1(b), 1(e) и 1(f), пользователь может прибегать к трансфокации содержания одного изображения, например, в степенях пропорций от 1,0 : 1 до 5,0 : 1. В режиме трансфокации пользователь может искать или панорамировать в содержании изображения, давая возможность изображению на экране двигаться поперек разных зон изображения. В любом случае либо малое изображение, либо большое изображение или изображение в результате трансфокации может быть

визуализировано в стоп-кадре (формат неподвижного изображения). Эта функция дает возможность производить строб-формат, в котором последние девять кадров видеосигнала могут повторяться на экране. Скорость повторения кадров может изменяться от тридцати кадров в секунду до нуля кадров в секунду.

Процессор изображения-в-изображении, используемый в широкоэкранной телевизионной системе согласно другому варианту реализации изобретения отличается от настоящей конфигурации основного CIP-чипа, описанного выше. Если бы основной CIP-чип использовался с телевизионной системой, имеющей экран 16 х 9, и без схемы ускорения видеосигналов, вставляемые изображения показывали бы искажение соотношения сторон по причине 4/3-кратного горизонтального расширения, вытекающего из развертки поперек более широкого 16 х 9 экрана. Объекты в изображении были бы горизонтально удлинены. Если бы использовалась внешняя схема ускорения, то не было бы искажения соотношения сторон, но изображение не заполняло бы весь экран.

Существующие процессоры изображения-в-изображении, выполненные на основном CIP-чипе, как это используется в традиционных телевизионных системах, приводятся в свое активное функциональное состояние особым образом, имеющим определенные нежелательные последствия. Поступающий видеосигнал стробируется с помощью синхросигнала 640fH, который блокируется относительно сигнала горизонтальной синхронизации источника основного видеосигнала. Иначе говоря, данные, загруженные в видеопамять RAM, связанные с CIP-чипом, ортогонально не стробируются относительно источника поступающего вспомогательного видеосигнала. Это является фундаментальным ограничением в основном CIP-способе синхронизации зоны. Неортогональная природа скорости стробирования (дискретизации) входного сигнала ведет к ошибкам перекоса дискретизированных данных. Ограничение является результатом работы видеопамати RAM, используемой с CIP-чипом, которая должна использовать один и тот же синхронизирующий сигнал для записи и считывания данных. Когда визуализируются данные из видеопамати RAM, такой как видеопамать RAM 350, ошибки перекоса видны как хаотичное дрожание/искажение вдоль вертикальных кромок изображения и вообще считаются довольно спорными.

Процессор 320 изображения-в-изображении согласно варианту реализации изобретения и не похожему на основной CIP-чип адаптирован для асимметричного сжатия информации видеосигнала в одном из множества выбираемых режимов дисплея. В этом режиме функционирования изображения сжимаются 4:1 в горизонтальном направлении и 3:1 в вертикальном направлении. Этот асимметричный режим сжатия дает соотношение сторон искаженных изображений для загрузки в видеопамать RAM. Объекты в изображениях сжаты по горизонтали. Однако если эти изображения

считываются из памяти нормально, как, например, в режиме сканирования канала, для дисплея, имеющего экран с соотношением дисплея 16 х 9, изображения будут выглядеть правильными. Изображение заполняет экран и нет искажения соотношения сторон. Режим асимметричного сжатия согласно этому отличительному признаку изобретения дает возможность генерировать специальные форматы дисплея на экране 16х9 без внешней схемы ускорения.

Фиг. 14 является блок-схемой секции 328 управления и синхронизации процессора изображения-в-изображении, например, модифицированным вариантом CIP-чипа, описанного выше, которая содержит схему прореживания 328C для реализации асимметричного сжатия, как одного из множества выбираемых режимов дисплея. Остальные режимы дисплея могут давать вспомогательные изображения разных размеров. Каждая из схем горизонтального и вертикального прореживания содержит счетчик, который запрограммирован в отношении коэффициента сжатия из таблицы величин род управления WSP μ P 340. Диапазон величин может быть 1: 1, 2:1, 3:1 и т.д. Коэффициенты сжатия могут быть симметричными или асимметричными в зависимости от того, как составлена таблица. Управление пропорциями сжатия может также производиться посредством полностью программируемых общего назначения схем прореживания под управлением WSP μ P 340. Схема прореживания 328C показана более подробно на фиг. 15-18.

Фиг. 15 является блок-схемой цепи для реализации горизонтального сжатия. Схема использует схему прореживания, образованную счетчиком 850, обозначенную MOD_N_CNTP1. Числовая величина в N входе есть горизонтальный N коэффициент NOR_N_FACTOR. Горизонтальный N коэффициент связан со степенью, в какой изображение, представленное видеoinформацией вспомогательного сигнала, будет уменьшено в размере для дисплея, как PIP или POP, и соответственно также является мерой скорости, с какой происходит субдискретизация элемента изображения в строке. Числовой вход относительно входа величины нагрузки устанавливаются на "0". Выход RCO- выход сигнала переноса является сигналом, возбуждающим выборку горизонтальной строки.

Фиг. 16 является блок-схемой цепи для реализации вертикального сжатия. Эта схема основана на схеме прореживания, образуемой счетчиком 858, обозначенной MOD_N_CNTR 2. Числовая величина в N входном сигнале является вертикальным N коэффициентом VERT_N_FACTOR. Вертикальный N коэффициент также связан со степенью, до какой изображение, представленное информацией вспомогательного видеосигнала, может быть уменьшено по размеру для дисплея, как PIP или POP, но в этом случае является мерой, как много горизонтальных строк выбрано для субдискретизации. Числовой ввод во входной сигнал величины нагрузки определяется числовым вычислением, основанным на вертикальном N коэффициенте. Вертикальный N коэффициент складывается

с "2", результирующая сумма делится на "2", и результат деления стробируется типом сигнала верхней/нижней зоны U/L_FIELD TYPE, сложенным с "2". Выход счетчика 858 является сигналом возбуждения выборки вертикальной строки.

Горизонтальный и вертикальный N коэффициенты генерируются схемой 859, показанной на фиг. 17. Входом является величина N_FACTOR, имеющая диапазон значений от "0" до "7". Каждая N величина соответствует парам пропорций горизонтального и вертикального сжатия, как показано в таблице фиг.18. N коэффициенты образуются средством WSP μ P 340. Схема 859 содержит мультиплексоры 862 и 864 и сравнение со схемой "6" 860. В отношении каждого N коэффициента кроме "6" пропорции горизонтального и вертикального сжатия являются симметричными, что вытекает из "0" входных сигналов мультиплексора. Когда коэффициент N является "6", входные сигналы "1" мультиплексоров стробируются как выходные сигналы. Эти входные сигналы приводят к асимметричному сжатию 4:1 по горизонтали и 3:1 по вертикали.

Счетчики в схемах прореживания функционируют, как показано, как прореживатели целых чисел. Однако обработка не должна ограничиваться сжатием изображений по целочисленным инкрементам при условии, что коэффициент горизонтального сжатия является 4/3-кратным по отношению к коэффициенту вертикального сжатия. Асимметричное сжатие также не ограничивается широкоэкранными применениями, имеющими соотношение сторон формата дисплея 16х9. Если бы соотношение сторон формата дисплея было, например, 2:1, коэффициент горизонтального сжатия был бы 3/2-кратным по отношению к коэффициенту вертикального сжатия.

Управление пропорциями сжатия может также быть реализовано посредством полностью программируемых общего назначения схем прореживания под управлением средства WSP μ P 340, как показано на фиг. 19(а) и 19(б). Коэффициенты горизонтального сжатия генерируются схемой на фиг. 19(а), которая содержит суммирующее соединение 866, матрицу 868 с восемью логическими элементами ИЛИ и защелку (типа триггера) 870. Каждый разряд восьмиразрядного выходного сигнала матрицы 868 будет H1, когда имеет место H_RESET. Если сигнал H_RESET низкий, выход матрицы 868 равен входному сигналу матрицы, который является выходом суммирующего соединения 866. Коэффициенты вертикального сжатия генерируются схемой на фиг. 19(б), которая содержит суммирующее соединение 872, мультиплексор 874 и защелку 876. В каждой схеме входной сигнал переноса C1 суммирующей схемы связан с напряжением для фиксированного логического высокого сигнала. В каждой схеме выходной сигнал переноса CO суммирующей схемы является соответствующим сигналом возбуждения выборки. В схеме на фиг. 19(б) вход 1 на мультиплексор связан с землей для фиксированного логического низкого сигнала. Коэффициенты горизонтального и вертикального сжатия могут подаваться микропроцессором WSP μ P 340.

В режимах полного экрана PIP процессор изображения-в-изображении вместе со свободно функционирующим генератором 348 будет принимать Y/C вход от декодера, например адаптивного линейного гребенчатого фильтра, декодировать сигнал на цветовые компоненты Y, U и V и генерировать горизонтальные и вертикальные синхросигналы. Эти сигналы обрабатываются в процессоре изображения-в-изображении для разных режимов полного экрана, таких как трансфокация, стоп-кадр и канальная развертка. Во время режима канальной развертки, например, горизонтальные и вертикальные синхросигналы, присутствующие из входной секции видеосигналов, будут иметь много неоднородностей, потому что выбранные сигналы (разные каналы) будут иметь несвязанные синхросигналы и будут включаться в явно случайные моменты времени. Поэтому синхронизация выборки (и синхронизация считывания/записи видеопамати RAM) определяется свободно функционирующим генератором. В отношении режимов стоп-кадра и трансфокации синхронизация выборки будет блокироваться в отношении горизонтальной синхронизации в поступающем видеосигнале, которая в этих специфических случаях является такой же, как частота синхронизации дисплея.

Согласно фиг. 6 выходные сигналы Y, U, V и C_YNC (полная синхронизация) от процессора изображения-в-изображении в аналоговой форме могут быть перекодированы в Y/C компоненты с помощью кодирующей схемы 366, которая функционирует совместно с 3,58 МГц генератором 380. Этот сигнал Y/C_PIP_ENC может быть соединен с переключателем Y/C, которые не показан, что дает возможность перекодированные Y/C компоненты заменить на Y/C компоненты основного сигнала. С этого момента сигналы синхронизации и Y, U, V кодированного PIP будут основой для горизонтальной и вертикальной синхронизации в остальной части шасси. Этот режим функционирования соответствует для реализации режима трансфокации в отношении PIP, основываясь на функционировании интерполятора и FIFO в линии основного сигнала.

В многоканальном режиме, например, показанном на фиг. 1(i), двенадцать каналов списка заданного сканирования могут быть визуализированы в двенадцати небольших изображениях одновременно. Процессор изображения-в-изображения имеет внутренний синхронизатор, реагирующий на 3,58 МГц генератор 348. Поступающий вспомогательный сигнал преобразуется из аналоговой в цифровую форму и реагирующий на выбранный специальный эффект загружается в видеопамать RAM 350. В вариантах реализации в Техническом учебном пособии, указанном выше, составленный специальный эффект преобразуется обратно в аналоговую форму в процессоре изображения-в-изображении до объединения с видеоинформацией основного сигнала. Однако в широкоэкранных телевизионных системах, описываемых здесь, и частично по причине ограничений в отношении числа

различных синхронизирующих частот, которые возможны, вспомогательная информация является прямым выходом из видеопамати RAM 350 без дальнейшей обработки процессором 320 изображения-в-изображении. Уменьшение числа синхросигналов выгодно снижает радиочастотные помехи в схемах систем телевидения.

Согласно фиг. 7 процессор 320 изображения-в-изображении содержит секцию 322 преобразования аналоговой формы в цифровую входную секцию 324, взаимодействующий переключатель FSW и секцию 326 управления шиной, секцию 328 управления и синхронизации и секцию 330 преобразования цифровой формы в аналоговую. Вообще, процессор 320 изображения-в-изображении оцифровывает видеосигнал в сигналы яркости (Y) и цветового контраста (U, V), субдискриминируя и загружая результаты в видеопамати RAM 350 объемом 1 мегабит, как пояснено выше. Видеопамати RAM 350, взаимодействующая с процессором изображения-в-изображении 320, имеет емкость памяти 1 мегабит, которая не является достаточно большой, чтобы хранить всю зону видеоданных с 8-битовыми выборками. Увеличенная емкость памяти имеет тенденцию быть дорогой и может потребовать более сложные схемы управления. Меньшее число бит на выборку во вспомогательном канале представляет снижение разрешающей способности квантования или полосы пропускания частот относительно основного сигнала, который обрабатывается с 8-битовыми выборками. Эффективное уменьшение ширины полосы частот не является обычно проблемой, когда вспомогательное визуализируемое изображение относительно небольшое, но может быть затруднительной, если вспомогательное визуализируемое изображение больше, например, того же размера, как основное визуализируемое изображение. Схема 370 обработки разрешающей способности может выборочно содержать одну или более схем для улучшения разрешающей способности квантования или эффективной ширины полосы частот вспомогательных видеоданных. Количество схем сжатия данных и восстановления данных уже разработано, включая например, сжатие спаренных элементов изображения, подмешивание псевдослучайного сигнала и устранение подмешанного псевдослучайного сигнала. Схема устранения подмешанного псевдослучайного сигнала операционно может располагаться ниже (по ходу процесса) видеопамати RAM 350, например, в линии вспомогательного сигнала матрицы логических элементов, как пояснено более подробно ниже. Кроме того, предусматриваются различные последовательности подмешивания псевдослучайного сигнала и устранения подмешанного псевдослучайного сигнала, включающих разные количества бит, и разные сжатия спаренных элементов изображения, включающих разные количества бит. Одна из многих схем сжатия и восстановления данных может быть выбрана средством WSP μP , чтобы максимизировать разрешающую способность визуализируемого видеосигнала

в отношении каждого конкретного типа формата дисплея изображения. Схемы обработки разрешающей способности поясняются подробно в связи с фиг. 56-70.

Сигналы яркости и цветового контраста загружаются в память как 8:1:1 шестибитовые Y, U, V. Иначе говоря каждый компонент подвергается квантованию в шестибитовых выборках. Имеется восемь выборок яркости для каждой пары выборок цветового контраста. Процессор 320 изображения-в-изображении приводится в действие в режиме, в результате которого поступающие видеоданные дискретизируются с частотой синхронизации $640f_H$, блокированной в отношении поступающего вспомогательного видеосигнала синхронизации. В этом режиме загруженные в видеопамати RAM данные ортогонально дискретизируются. Когда данные считаны из видеопамати RAM 350 процессора изображения-в-изображении, считывание производится с использованием той же частоты $640f_H$ синхронизации, блокированной в отношении вспомогательного видеосигнала. Однако даже если эти данные были ортогонально дискретизированы и загружены в память и могут считываться из памяти ортогонально, они не могут быть визуализированы ортогонально непосредственно из видеопамати RAM 350 по причине асинхронной природы основного и вспомогательного видеоисточников. Основной и вспомогательный видеоисточники могли считаться синхронными только в случае, когда они визуализируют сигналы от одного и того же видеоисточника.

Чтобы синхронизировать вспомогательный канал, требуется дальнейшая обработка, т.е. выход данных из видеопамати RAM 350 на основной канал. Согласно фиг. 6 две четырехбитовые защелки 352A и 352B используются для рекомбинации 8-ми битовых блоков данных из выходного 4-битового канала видеопамати RAM. Четырехбитовые защелки также снижают частоту синхронизации данных с $1280f_H$ до $640f_H$.

Вообще видеодисплей и система отклонения синхронизируются с помощью основного видеосигнала. Основной видеосигнал должен быть ускорен, как пояснено выше, для заполнения широкоэкранный дисплея. Вспомогательный видеосигнал должен быть вертикально синхронизирован с помощью первого видеосигнала и видеодисплея. Вспомогательный видеосигнал может быть визуализирован как часть периода зоны в памяти зоны и затем расширен в памяти строки. Короче говоря, синхронизация данных вспомогательного видеосигнала с данными основного видеосигнала достигается путем использования видеопамати RAM 350 в качестве памяти зоны и в качестве строчной памяти FIFO (обратного магазинного типа), составляющих устройство 354, для расширения сигнала. Интерполатор 359 в линии вспомогательного сигнала может корректировать ускорение в FIFO 354. Размер FIFO 354 составляет 2048×8 . Проблемы, которые могут возникнуть при синхронизации основного и вспомогательного сигналов, включают в себя коллизии указателя считывания/записи в FIFO 354

вспомогательной линии и сохранение целостности чересстрочной развертки. Система синхронизации зоны, которая устраняет такие коллизии указателя считывания/записи и которая поддерживает целостность чересстрочной развертки, поясняется в связи с фиг. 28-36.

Матрица 300 логических элементов является общей для широкоэкранных процессоров 30 и 31. Линия основного сигнала 304, линия вспомогательного сигнала 306 и линия выходного сигнала 312 показаны в блок-схеме на фиг. 8. Матрица логических элементов также содержит схему 320 синхронизаторов/синхронизации и декодер 310 микропроцессора WSP μP . Выходные линии адресов и данных декодера 310 средства WSP μP , обозначенные как WSP DATA, подаются на каждую схему и линию, указанные выше, а также на процессор 320 изображения-в-изображении и схему 370 обработки разрешающей способности. Следует отметить, что будут иметь место или нет некоторые схемы, являющиеся частью матрицы логических элементов, в большой мере зависит от удобства облегчения пояснения вариантов реализации изобретения.

Матрица логических элементов реагирует на расширение, сжатие и урезывание видеоданных основного видеоканала для и при необходимости реализации разных форматов дисплея изображения. Компонент яркости Y_MN загружается в строчную FIFO память 356 в течение периода времени в зависимости от природы интерполяции компонента яркости. Объединенные компоненты цветности U/V_MN загружаются в FIFO 358. Компоненты яркости и цветности вспомогательного сигнала Y_PIP , U_PIP и V_PIP образуются демультимплексором 355. Компонент яркости подвергается обработке разрешающей способности, если это требуется, в схеме 357, и расширяется при необходимости интерполятором 359, генерирующим в качестве выхода сигнал Y_AUX .

В некоторых случаях вспомогательный дисплей будет такой же большой, как и дисплей основного сигнала, как показано, например, на фиг. 1(d). Ограничение памяти, связанные с процессором изображения-в-изображении, могут создавать недостаточное количество точек данных или элементов изображения для заполнения такого большого формата дисплея. В этих случаях может использоваться схема 357 обработки разрешающей способности для восстановления элементов изображения во вспомогательном видеосигнале, чтобы заменить утраченные во время сжатия данных. Обработка разрешающей способности может соответствовать обработке разрешающей способности, проводимой схемой 370, показанной на фиг. 6. Как пример, схема 370 может быть схемой подмешивания псевдослучайного сигнала, и схема 357 может быть схемой аннулирования подмешанного псевдослучайного сигнала.

Интерполяция вспомогательного сигнала может происходить в линии 306 вспомогательного сигнала, показанной более подробно на фиг. 12. Схема PIP 301, показанная на фиг. 6, управляет памятью зон 6-битовых Y , U , V , 8:1:1, видеопамятью RAM

350 для запоминания поступающих видеоданных. Видеопамять RAM 350 сохраняет две зоны видеоданных во множестве ячеек памяти. Каждая ячейка памяти содержит восемь бит данных. В каждой восьмибитовой ячейке имеется одна 6-битовая Y (яркость) выборка (дискретизирована на $640f_H$) и 2 остальных бита. Эти два остальных бита содержат либо данные быстрогодействующего переключателя (FSW_DAT), либо часть U или V выборки (дискретизирована на $80f_H$). Величины FSW-DAT указывают, какой тип зоны был записан в видеопамяти RAM, следующим образом:

FSW-DAT = 0; нет изображения,
FSW-DAT = 1; верхняя (нечетная) зона,
FSW-DAT = 2; нижняя (четная) зона.

Зоны занимают пространственные положения в видеопамяти RAM, имеющие границы, определяемые горизонтальными и вертикальными адресами, как показано на схеме положений в памяти на фиг. 37. Граница образуется в этих адресах в результате изменения в данных быстрогодействующего переключателя из положения нет изображения в положение активной зоны, и наоборот. Эти переходы в данных быстрогодействующего переключателя определяют периметр вставки PIP, которая также именуется как коробка PIP или наложение PIP. Следует отметить, что соотношение сторон изображения объектов в изображении PIP может управляться независимо от соотношения дисплея формата коробки или наложения PIP, например, 4x3 или 16x9. Положение наложения PIP на экране будет определяться исходным адресом указателя считывания видеопамяти RAM в начале сканирования каждой зоны основного сигнала. Так как имеется две зоны данных, загруженных в видеопамять RAM 350, и вся видеопамять RAM 350 считывается во время периода визуализации, обе зоны считываются во время сканирования дисплея. Схема PIP 301 будет определять, какая зона будет считываться из памяти для визуализации через использование данных быстрогодействующего переключателя и исходное положение указателя считывания. Может выглядеть логическим, что если бы дисплей, который заблокирован в отношении основного видеоисточника, визуализировал верхнюю зону основного изображения, тогда часть в видеопамяти RAM, соответствующая верхней зоне вспомогательного изображения, считывалась бы из видеопамяти RAM, преобразовывалась в аналоговые данные и визуализировалась.

Это хорошо бы функционировало в течение примерно половины всех возможных фазовых соотношений между основным и вспомогательным видеоисточниками. Проблема возникает по той причине, что считывание видеопамяти RAM всегда быстрее, чем запись в видеопамяти RAM в отношении сжатых изображений в режиме PIP. Указатель считывания памяти может поравняться или перекрыть указатель записи, если один и тот же тип зоны был сначала записан и затем был считан в то же самое время. Это привело бы к 50%-ной возможности некоторого разрыва движения в малом изображении. Соответственно схема PIP всегда считывает противоположный тип

зоны, которая записана, чтобы снять проблему разрыва движения. Если считываемый тип зоны противоположного типа, чем тот, который визуализируется, тогда четная зона, загруженная в видеопамять RAM, инвертируется путем вычеркивания верхней строки зоны, когда зона считывается из памяти. Результатом является то, что небольшое изображение сохраняет правильное чересстрочное чередование без разрыва движения. Конечный результат этой синхронизации зоны в том, что чип CPIP генерирует сигнал, который именуется PIP_FSW. Это перекрывающий сигнал, который образует схема PIP для аналогового переключателя, который производит переключения между основным и вспомогательным каналами Y/C (видеоинформация яркости и модулированной цветности) сигналов.

Входные данные вспомогательного видеосигнала дискретизируются на частоте 640f_n и загружаются в видеопамять RAM 350. Вспомогательные данные считываются из видеопамати RAM 350 и обозначаются как VRAM_OUT. Схема PIP 301 также имеет возможность уменьшать вспомогательное изображение на равные целые коэффициенты по горизонтали и вертикали, а также асимметрично. Согласно фиг. 12 вспомогательные каналные данные буферизуются и синхронизируются относительно основного каналного цифрового видеосигнала 4-битовыми заделками 352A и 352B, вспомогательной FIFO 354, схемой тактирования 369 и схемой синхронизации 371. Данные VRAM_OUT загружаются в Y (яркость), U, V (цветовые компоненты) и FSW_DAT (данные быстрогодействующего переключателя) демультимплексором 355. FSW-DAT указывает, какой тип зоны был записан в видеопамять RAM. Сигнал PIP_FSW принимается непосредственно от схемы PIP и подается на выходную управляющую схему. Здесь выносится решение, какая зона, считанная из видеопамати RAM, должна быть визуализирована. Наконец, данные вспомогательного каналного видеокompонента выбирают для выхода на дисплей через три выходных мультиплексора 315, 317 и 319, показанные на фиг. 8. Вместо перекрывания небольшого изображения PIP, используя аналоговый переключатель, в полном сигнале или сопряжении Y/C, как практикуется в случае чипа CPIP, микропроцессор WSP μ P 340 выполняет наложение PIP в цифровой форме. Однако, как пояснено ниже, управляющий сигнал PIP_FSW используется вместе с сигналом FSW_DAT для управления цифровым наложением или перекрытием.

Вспомогательный канал дискретизируется на частоте 640f_n, тогда как основной канал дискретизируется на частоте 1024f_n. Вспомогательная каналная FIFO 354 (2048 x 8) преобразует данные с частоты дискретизации вспомогательного канала на частоту дискретизации основного канала. В этом процессе видеосигнал подвергается 8/5-у (1024/640) сжатию. Это больше, чем сжатие 4/3, необходимое для правильной визуализации сигнала вспомогательного канала. Поэтому вспомогательный канал должен быть расширен интерполятором,

чтобы правильно визуализировать небольшое изображение 4x3. Величина расширения интерполятора, которая необходима, составляет 5/6. Коэффициент расширения X определяется следующим образом:

$$X = (640/1024) \cdot (4/3) = 5/6.$$

Поэтому, безотносительно к тому, как небольшое изображение сжато процессором PIP, небольшое изображение может быть правильно визуализировано в формате 4x3 на дисплее путем настройки/установки интерполятора 359 на выполнение расширения 5/6 (5 выборки включить, 6 выборки исключить).

Данные PIP_FSW не образуют достаточно хороший способ интерпретирования, какая зона CPIP VRAM должна быть визуализирована, потому что видеоданные PIP являются горизонтально составленным раствором для поддержания правильного соотношения сторон PIP. Хотя небольшое изображение PIP будет поддерживать правильное чересстрочное чередование, район наложения PIP будет вообще неправильного горизонтального размера. Единственный случай, когда наложение PIP по размеру будет правильным, это когда расширение будет 5/8, используя интерполятор 359, что приведет к небольшому изображению в формате 16x9. Для всех остальных настроек интерполятора коробка наложения будет оставаться 16x9, тогда как вставное изображение будет изменяться по горизонтали. Сигнал PIP_FSW не содержит информации в отношении правильного горизонтального размера наложения PIP. Данные видеопамати RAM считываются до совершения схемой PIP алгоритма синхронизации. Таким образом, данные быстрогодействующего переключателя FSW_DAT, которые содержат поток данных видеопамати RAM VRAM_OUT, соответствуют типу зоны, записанному в видеопамять RAM. Данные видеокompонента (Y, U, V) видеопамати RAM исправлены в отношении разрыва движения и правильного чересстрочного чередования, но FSW_DAT не изменено.

В соответствии с вариантом реализации изобретения коробка наложения PIP имеет правильный размер, потому что информация FSW_DAT расширена и интерполирована вместе с данными видеокompонента (Y, U, V). FSW_DAT содержит правильную размерность района наложения, однако не указывает, какая зона является правильной зоной для визуализации. PIP_FSW и FSW_DAT могут использоваться вместе для решения проблемы сохранения целостности чересстрочного чередования и правильного размера наложения. При нормальном функционировании, в соответствии с тем, как может использоваться CPIP-чип в телевизорах 4x3, замена зоны в видеопамати RAM являет произвольной. Зоны могут соосно выравниваться по вертикали, по горизонтали или вовсе не выравниваться. Для побуждения широкоэкранный процессора и CPIP-чипа совместимо функционировать нужно не загружать ячейки зон PIP по одним и тем же вертикальным линиям. Иначе говоря, зоны PIP не могут программироваться так, чтобы одни и те же вертикальные адреса использовались и для верхних и для нижних типов зон. С точки зрения перспективного

программирования выгодно загружать зоны PIP в видеопамять RAM 350 вертикально выравненными, как показано на фиг. 37.

Сигнал PIP_OVL принуждает выходную управляющую схему 321 визуализировать вспомогательные данные, когда этот сигнал является активным, т.е. логическим HI. Блок-схема цепи генерирования сигнала PIP_OVL показана на фиг. 38. Схема 680 содержит J-K триггер 682, Q выход которого подается на один из входов мультиплексора 688. Выход мультиплексора 688 является входным сигналом на триггер D-типа 684, Q выход которого поступает на другой вход мультиплексора 688 и один вход логического элемента И 690. Сигналы PIP_FSW и SOL (начало строки) являются входными сигналами J и K соответственно на триггер 682. Логический элемент исключающее ИЛИ 686 имеет два сигнала двухбитовых данных быстрогодействующего переключателя FSW_DAT0 и FSW_DAT1 в качестве входных сигналов. Значения (1,0) и (0,1), которые логически являются исключающими входными сигналами, указывают действительную зону, четную и нечетную соответственно. Значения (0,0) и (1,1), которые логически не являются исключающими, указывают на отсутствие действительных видеоданных. Переход от любого значения (0,1) или (1,0) к любому значению (0,0) или (1,1) или наоборот указывает о граничном переходе, определяющем коробку или наложение PIP. Выход логического элемента исключающее ИЛИ 686 является вторым входным сигналом на логический элемент И 690. Третий входной сигнал логического элемента И 690 будет сигнал RD_EN_AX, который возбуждает считывание вспомогательной FIFO 354. Выход логического элемента И 690 является сигналом PIP_OVL. Схема 680 вводит задержку одной строки (строки зоны) по времени, PIP_FSW становится активным до степени фактического возбуждения района наложения. Это учитывается в отношении линии видеоданных, так как FIFO 354 также вводит задержку одной строки зоны в визуализируемых данных видеосигнала PIP. Поэтому наложение PIP происходит отлично с видеоданными, хотя одна строка зоны будет позже, чем запрограммировано посредством схемы PIP. Сигнал RD_EN_AX дает возможность накладывать PIP только в случае, когда действительные вспомогательные FIFO данные считаны из FIFO 354. Это необходимо по той причине, что данные FIFO могут сохраняться после того, как считывание закончено. Это может вызывать логическое наложение PIP, чтобы определить, что наложение PIP является активным вне (за пределами) действительных PIP-данных. Возбуждение наложения PIP с помощью RD_EN_AX обеспечивает, что данные PIP являются действительными. В соответствии с вариантами реализации изобретения наложение или коробка в отношении вспомогательного видеосигнала небольшого изображения правильно размещается и получает правильные размеры безотносительно к тому, как вспомогательный видеосигнал был расширен, сжат или интерполирован. Это функционирует в отношении видеисточников небольших изображений, которые образованы из

форматов 4х3, форматов 16х9 и также многих других форматов.

Компоненты цветности U_PIP и V_PIP задерживаются схемой 367 на период времени, зависящий от природы интерполяции компонента яркости, генерирующей сигналы UAUX и VAUX в качестве выходных. Соответствующие компоненты Y, U и V основного и вспомогательного сигналов объединяются в соответствующих мультиплексорах 315, 317 и 319 в линии 312 выходного сигнала путем управления сигналами возбуждения считывания памяти FIFO 354, 356 и 358. Мультиплексоры 315, 317 и 319 реагируют на выход схемы управления мультиплексором 321. Схема управления выходом мультиплексора 321 реагирует на синхросигнал CIK, сигнал начала (пуска) строки SOL, сигнал H-COUNT, сигнал установки в исходное положение вертикального бланкирования и выход быстрогодействующего переключателя от процессора изображения-в-изображении и WSP μ P 340. Мультиплексированные компоненты яркости и цветности Y_MX, U_MX и V_MX подаются на соответствующие цифроаналоговые преобразователи 360, 362 и 364 соответственно. Цифроаналоговые преобразователи сопровождаются соответственно фильтрами нижних частот 361, 363 и 365, показанными на фиг. 6. Разные функции процессора изображения-в-изображении, матрицы логических элементов и схемы сжатия данных управляются микропроцессором WDP μ P 340. WSP μ P 340 реагирует на средство TV μ P 216, которое с ним соединено посредством последовательной шины. Последовательная шина может быть четырехпроводным каналом, как показано, имеющей линии для данных, синхронизирующих сигналов, возбуждающих сигналов и сигналов установления в исходное положение. WSP μ P 340 сообщается с разными цепями матрицы логических элементов через декодер 310 WSP μ P.

В одном случае будет необходимо сжать видеосигнал NTSC 4х3 на коэффициент 4/3, чтобы избежать искажения соотношения сторон в визуализируемом изображении. В другом случае видеосигнал может быть расширен для выполнения операций горизонтальной трансфокации, обычно сопровождаемой вертикальной трансфокацией. Операции горизонтальной трансфокации до 33% могут сопровождаться уменьшением сжатий до менее 4/3. Интерполятор выборки используется для пересчета поступающего видеосигнала в отношении позиций новых элементов изображений, потому что полоса пропускания частот видеосигнала яркости до 5,5 МГц для формата S-VHS занимает большой процент частоты наложения спектров минимально допустимой частоты выборки, которая составляет 8 МГц для синхронизации на частоте 1024f_h.

Как показано на фиг. 6, данные яркости Y_MN направляются через интерполятор 337 в линии основного сигнала 304, который пересчитывает величины выборок, основываясь на сжатии или расширении видеосигнала. Функция переключателей или маршрутных селекторов 323 и 331 состоит в

инвертировании топологии линии основного сигнала 304 по отношению к относительным положениям FIFO 356 и интерполятора 337. В частности, эти переключатели выбирают, будет ли интерполятор 337 предшествовать FIFO 356, как это требуется для сжатия, или FIFO 356 будет предшествовать интерполятору 337, как это требуется для расширения. Переключатели 323 и 331 реагируют на управляющую схему маршрута 335, которая, в свою очередь, реагирует на WSP μ P 340. Следует напомнить, что во время режимов малого изображения вспомогательный видеосигнал сжимается для загрузки в видеопамять RAM 350, и для практических целей необходимо только расширение. Соответственно сравнительного переключения не требуется в линии вспомогательного сигнала.

Линия основного сигнала показана более подробно на фиг. 11(а). Переключатель 323 выполнен в виде двух мультиплексоров 325 и 327. Переключатель 331 выполнен в виде мультиплексора 333. Три мультиплексора реагируют на схему управления маршрутом 335, которая, в свою очередь, реагирует на WSP μ P 340. Схема горизонтального хронирования/синхронизации 339 генерирует хронизирующие сигналы, управляющие записью и считыванием блоков памяти FIFO, а также защелками 347 и 3541 и мультиплексором 353. Синхросигнал CLK и сигнал пуска строки SOL генерируются схемой хронирования/синхронизации 320. Схема управления аналого-цифровым преобразованием 369 реагирует на Y_MN, WSP μ P 340 и наиболее старший разряд UV_MN.

Схема управления интерполятора 349 генерирует значения промежуточных положений элементов изображения (К), взвешивание (С) компенсационного фильтра интерполятора и информацию CGY стробирования синхронизации в отношении яркости и CGUV в отношении цветовых компонентов. Именно информация стробирования синхронизации вызывает пробелы (прореживания) или повторения данных FIFO, чтобы дать возможность не записывать при некоторых синхросигналах выборки в отношении эффективного сжатия или некоторые выборки считывать много раз для расширения.

Такое сжатие показано на фиг. 11(б). Строка LUMA_RAMP_IN представляет видеоданные линейного изменения яркости, записываемые в FIFO. Сигнал WR_EN_MN_Y является высоко активным, что означает, что когда этот сигнал является высоким, данные записываются в FIFO. Каждая четвертая выборка предотвращается от записи в FIFO. Неровная строка LUMA_RAMP_OUT представляет данные линейного изменения яркости, как если бы считанных из FIFO, если бы данные не были сначала интерполированы. Следует отметить, что средний наклон считываемого линейного изменения яркости FIFO на 33% круче, чем входное линейное изменение. Следует также отметить, что требуется на 33% меньше времени для активного считывания, чтобы считать линейное изменение, как также требовалось для записи данных. Это образует сжатие 4/3. Функцией интерполятора 337 является пересчет выборок яркости,

записываемых в FIFO, так что данные, считываемые из FIFO являются плавными, а не неровными.

Расширения могут производиться точно противоположным способом сжатию. В случае сжатия сигнал возбуждения записи имеет информацию стробирования синхронизации, связанную с этим, в форме запрашивающих импульсов. В отношении данных расширения информация стробирования синхронизации подается на сигнал возбуждения считывания. Это будет прореживать данные при считывании из FIFO 356, как показано на фиг. 11(в). Строка LUMA_RAMP_IN представляет данные до записи в FIFO 356, и неровная строка LUMA_RAMP_OUT представляет данные, как они считаны из FIFO 356. В этом случае функцией интерполятора, которая следует после FIFO 356, является пересчет дискретизованных данных из неровных в ровные после расширения. В случае расширения данные должны прореживаться при считывании из FIFO 356 и синхронизации через интерполятор 337. Это отличается от случая сжатия, когда данные непрерывно синхронизируются через интерполятор 337. В обоих случаях - сжатии и расширении - операции стробирования синхронизации могут легко выполняться синхронным образом, т.е. события могут происходить, основываясь на передних фронтах импульсов синхронизации системы 1024f_H.

Есть ряд преимуществ в этой топологии в отношении интерполяции яркости. Операции стробирования синхронизации, именно прореживания данных и повторения данных, могут выполняться синхронным образом. Если бы топология переключаемых видеоданных не использовалась для изменения положений интерполятора и FIFO, синхроимпульсам считывания или записи потребовалась бы двойная (двухточечная) синхронизация, чтобы производить прореживание или повторение данных. Термин двойная синхронизация означает, что две точки данных должны быть записаны в FIFO в одном цикле синхронизации или считаны из FIFO во время одного цикла синхронизации. Результирующая схема не может быть выполнена, чтобы функционировать синхронно с синхронизацией системы, так как частота синхронизации считывания или записи должна быть в два раза выше частоты синхронизации системы. Кроме того, переключаемая топология требует только одного интерполятора и одной FIFO для выполнения операций и сжатия и расширения. Если бы устройство видеопереключения, описанное здесь, не использовалось, ситуацию двойной синхронизации можно избежать только путем использования двух FIFO для выполнения операций сжатия и расширения. Одну FIFO для расширений потребовалось бы установить до интерполятора и одну FIFO для сжатий потребовалось бы установить после интерполятора.

Одно из условий для правильного функционирования схемы состоит в том, что число выборок данных, записанных в FIFO, в отношении каждой строки должно быть точно равно числу выборок, считанных из FIFO в отношении той же горизонтальной строки. Если то же самое число выборок не записано

в FIFO, какое считано из FIFO, тогда изображение основного канала будет значительно наклонным из-за прецессии указателя строка-за-строкой при считывании или записи. Это требование вызвано фактом, что FIFO основного канала устанавливаются в исходное положение один раз на одну зону. Сначала устанавливается в исходное положение указатель записи в соответствии с импульсом вертикальной синхронизации основного сигнала и затем на одну строку позже устанавливается в исходное положение указатель считывания.

Разное число циклов синхронизации может потребоваться для указателей считывания и записи, чтобы перемещаться в одно и то же число мест в силу факта, что происходит расширение и сжатие видеоданных. Чтобы число записанных выборок данных всегда было равно числу считываемых выборок данных независимо от режима функционирования, используют три регистровых значения и два управляющих сигнала для генерирования возбуждений считывания и записи в отношении основного Y и UV FIFO. Два регистровых значения WR_BEG_MN и RD_BEG_MN, образованные средством WSP μ P 340 указывают место в период горизонтальной строки, где должно начаться считывание или запись, совместно со значением отсчета горизонтальных элементов изображения H_COUNT. Значение H_COUNT составляет десятибитовую величину счетчика, используемую для определения места элемента изображения в периоде строки. Счетчик стирается сигналом пуска/начала строки SOL. Сигнал SOL является одинарным синхронизирующим широким импульсом, используемым для установления в исходное положение горизонтального счетчика H_COUNT на величину ноль в начале каждой строки. Импульс SOL нормально выровнен с передним фронтом компонента горизонтальной синхронизации.

Третье регистровое значение LENGTH используется для загрузки числа выборок данных, которое фактически было записано в FIFO или считано из FIFO. Биты регистрового значения инвертированы, и два бита меньшего разряда загружаются логически HI, приводя к LENGTH-1. Символ \neg , предшествующий сигналу, обозначает логическое инвертирование. Соответственно когда счетчик переполнен, т.е. содержащаяся пульсация становится HI, требуемое число выборок будет записано или считано. Фактическое число выборок элементов изображения, записанных или считанных, является фактически LENGTHx4, потому что регистр загружается в верхние восемь бит счетчика. Эффект стробирования синхронизации учитывается при стробировании возбуждения счетчика. В результате этого возбуждение счетчика может также использоваться как возбуждение в отношении FIFO, обеспечивая, что число выборок, записанных или считанных, всегда составляет LENGTHx4 независимо от режима функционирования.

Фиг. 11(г) показывает одну из трех идентичных схем, используемых для генерирования сигналов возбуждения записи и считывания для FIFO в отношении компонентов Y и UV, обозначенных

WR_EN_FIFO_Y (случай 1), WR_EN_FIFO_UV (случай 2), RD_EN_FIFO_Y и RD_EN_FIFO_UV. В случае расширений сигналы RD_EN_FIFO_Y и RD_EN_FIFO_UV проявляют себя идентично и могут именоваться как RD_EN_FIFO_Y_UV (случай 3). Схема 1100 поясняется сначала в отношении случая 1. Схема 1100 сравнивает WR_BEG_MN с верхними восемью битами H_COUNT в компараторе 1102. Значение H_COUNT является десятибитовой величиной счетчика, используемой для определения местоположения элемента изображения в период строки. Счетчик стирается сигналом пуска/начала строки SOL. Сигнал SOL является одинарным синхронизирующим широким импульсом, используемым для установления в исходное положение горизонтального счетчика H_COUNT на значение ноль в начале каждой строки. Сигнал SOL номинально выровнен с передним фронтом компонента горизонтальной синхронизации.

Выход компаратора 1102 задерживается схемой 1118 и сравнивается с инвертированным, но в остальном незадержанным вариантом его в логическом элементе HE-И 1104. Выход логического элемента HE-И 1104 - широкий активный LO сигнал одного синхропериода - является входом LDn нагрузки на счетчик 1106 10-битовой длины. Входной сигнал LDn используется для загрузки 10-битовой длины FIFO-счетчика 1106 фронтом синхросигнала системы. Биты сигнала LENGTH инвертируются матрицей инвертора 1110. Значение LENGTH используется для загрузки верхних восьми бит десятибитового счетчика для определения числа выборок данных, которые фактически записаны в FIFO. Выход матрицы инвертора 1110 подается на биты старшего разряда нагрузки на вход LOAD счетчика 1106. Два бита младшего разряда логически связаны с HI. Эффективная нагрузка по значению будет LENGTH-1. Чтобы отрегулировать -1 аспект сигнала - LENGTH-1, счетчик 1106 останавливается посредством сигнала переноса RCO, который происходит за один синхроцикл до того, как счетчик длины 1106 достигает нуля. Информация стробирования синхронизации проходит через вентиль HE-ИЛИ посредством сигнала переноса RCO в логическом элементе 1112. Тот же возбуждающий сигнал инвертируется логическим элементом 1116 и используется как сигнал возбуждения для FIFO. Память FIFO и счетчик тем самым возбуждаются точно таким же образом, обеспечивая правильное число выборок для записи. В случае 2 WR_BEG_MN также сравнивается с H_COUNT. Однако сигнал CGUV_WP используется для генерирования сигнала WR_EN_FIFO_UV в качестве выходного сигнала. В случае 3 RD_BEG_MN сравнивается с H_COUNT, и сигнал CGY_RD используется для генерирования сигнала RD_EN_FIFO_Y_UV в качестве выходного сигнала.

Обработка цветности в отношении видеосигнала основного канала может производиться более, чем одним вариантом реализации изобретения. Одна альтернатива топологии показана на фиг. 8 и 11(а) и пояснена в связи с фиг. 52-55. Другая топология в отношении обработки цветности

для видеосигнала основного канала показана на фиг. 13 и пояснена в связи с фиг. 51. Согласно фиг. 13 линия сигнала UV 530 показана в форме блок-схемы. Линия сигнала 530 очень похожа на выборочную топологию данных яркости в линии основного сигнала 304, показанной на фиг. 8 и 11(a). Наиболее значительное различие состоит в использовании схемы согласования задержки 540 вместо интерполятора 337. Мультиплексоры 534, 536 и 538 возбуждают сигнал UV_MN, чтобы следовать по маршруту, в котором FIFO 358 предшествует схеме согласования задержки 540, или по маршруту, в котором схема согласования задержки 540 предшествует FIFO 358. Мультиплексоры реагируют на схему управления маршрутом 532. Выход мультиплексора 538 сепарируется в сигнал U_UT и V_UT демультиплексором 353.

Когда система интерполирования выполняет сжатие видеосигнала, выборки данных должны быть вычеркнуты до того, как они будут записаны в FIFO 358. Это представляет проблему в случае мультиплексированных данных U/U. Если бы поток данных UU был вычеркнут с помощью тех же импульсов стробирования синхронизации, как и поток данных Y, последовательность не будет правильно чередовать U, V, U, V ... и т.д. Как пример, если бы выборка U была вычеркнута до записи в FIFO 358, последовательность была бы примерно похожей на U, V, U, V, V, U, V и т.д. Поэтому требуется второй сигнал стробирования синхронизации. Этот сигнал именуется CGUV (или CGUV, когда сигнал логически является инвертированным). Логический элемент синхронизации UV используется только во время сжатий, происходит только половина так часто, как и импульсы CGY и всегда вычеркивает пару выборок UV. Результаты 8/5 сжатия показаны на фиг. 51(a) и 51(b).

В этом примере видно, как отличаются запись логического элемента синхронизации в отношении Y (CGY) и UV (CGUV). Когда сигналы CGY и CGUV являются высокими (по напряжению), выборки вычеркиваются. Следует отметить, что CGUV всегда начинается с выборки U и оканчивается на выборке V. В результате этого пара UV стирается вместе и устраняет ситуацию, когда V из одной пары стирается вместе с U из следующей пары. Сравнение того, как данные UV и Y считываются из FIFO 358 и 356 соответственно для сжатия в соотношении 8:5, показано на фиг. 51(a) и 51(b) соответственно. Можно видеть, что данные UV будут сдвинуты на 1 цикл синхронизации по отношению к данным Y. Это является следствием незагрузки данных индикатора U/V в поток данных FIFO. Сдвиг данных UV немного ухудшает компонент цвета. Однако ухудшение никогда не становится хуже, чем система мультиплексированного цветового компонента 4: 1: 1, которая обычно используется в высоких оконечных телевизионных системах. Эффективная минимально допустимая частота выборки UV периодически сокращается на 2 МГц по причине прореживания пары UV. Этого достаточно для управления источниками "широкой" цветности 1. В результате сигналы цветовых компонентов сохраняют очень

высокое качество даже во время прореживания пар UV.

Сжатие видеоданных требует, чтобы сигналы записи логического элемента синхронизации в FIFO 356 и 358 отличались в отношении линий сигналов Y и UV. По-существу, выборки U и V должны быть стерты как пары, так как после того, как выборка стерта, информация о состоянии этой выборки (будь-то выборка U или V) утрачивается. Если бы, например, 9-ый бит был добавлен в FIFO 358, чтобы нести информацию о состоянии UV, могли бы вычеркиваться отдельные выборки U или V. Когда данные считываются из FIFO 358, UV могли бы быть правильно загружены путем интерпретации состояния 9-го бита. Так как информация о сортировке устранена, следствием будет то, что данные UV должны быть стерты как пара, так что сортировка, которая происходит после считывания UV в FIFO 358, может быть очень простой.

Сортировка прореженных пар UV требует только 1-битового счетчика. Этот счетчик устанавливается в исходное состояние на состояние U (нуль), в цикле синхронизации, в котором начинается считывание FIFO 358. Этот однобитовый счетчик возбуждается сигналом RD_EN_MN, который управляет считыванием основных FIFO 356 и 358. В режиме сжатия RD_EN_MN постоянно высокий после начала считывания, пока считывание не прекратится на каждой горизонтальной строке. Результирующий сигнал UV_SEL_OUT является индикатором чередования UV, который возбуждает выбранную линию демультиплексора 353. В результате этого выборки данных UV успешно сортируются после их считывания из FIFO 358, даже если информация о синхронизации UV не могла быть сортирована при последующем обращении во время записи в FIFO 358.

Когда проводятся расширения видеосигналов, запись в FIFO 356 и 358 происходит непрерывно от начала записи до окончания записи. Считывание из FIFO будет прореживаться, и значения выборок будут сохраняться (повторяться), как они считаны из FIFO. Это сохранение или повторение выборки производится посредством информации считывания логического элемента синхронизации, которая является частью сигнала RD_EN_MN и его дополнения RD_EN_MN.

В этой ситуации следует отметить важное различие по сравнению с сжатием. Состояние выборки UV известно в том виде, как оно считано из FIFO 358. Данные UV записаны в FIFO 359 с непрерывным чередованием U, V, U, V ... и т.д. Поэтому когда данные считываются из FIFO 358 и прореживаются, однобитовый счетчик, который создает сигнал UV_SEL_OUT, прореживается для отражения факта, что данные FIFO сохраняются. Это поддерживает правильной сортировку демультиплексора 353.

Однобитовый счетчик прореживается в правильное время, потому что сигнал RD_EN_MN подается на вход возбуждения однобитового счетчика. Это обеспечивает, что так как FIFO 358 прореживается, то сигнал UV_SEL_OUT также прореживается. Проведение расширений не требует, чтобы сигналы возбуждения считывания в

отношении Y и CGY в FIFO 356 и 358 были разделены, потому что считывание логическим элементом синхронизации данных UV, CGUV теперь идентично считыванию логического элемента синхронизации данных Y, CGY. Проведение расширений происходит легче, чем проведение сжатий. Кроме того, минимально допустимая частота выборки цветочных компонентов не ухудшается во время расширений и качество сигнала 2:1:1 полностью сохраняется.

Описанная здесь топология мультиплексированных цветочных компонентов имеет ряд преимуществ. Способ является эффективным и идеально соответствует для применения совместно с системой картографирования раstra яркости с широкой шириной полосы частот. Сложность схемы сводится до минимума, одновременно сохраняя высокую степень качества сигнала цветности. Эти преимущества обязаны частично следующим новациям. Пары UV стираются на входе в UV FIFO 358. Это устраняет необходимость в сохранении информации о стробировании синхронизации в FIFO, что потребовало бы, чтобы FIFO была на один бит шире, чем фактическая прецизия данных UV. Схема согласования задержки заменена интерполятором UV, который функционирует аналогично интерполатору 337. Это устраняет очень сложную математическую функцию. Кроме того, так как матрица логических элементов выполнена в интегральной схеме, экономится примерно 2000 логических элементов. Наконец, случай наихудшего качества сигнала UV никогда не опускается ниже цветочного канала 4:1:1 (Y, U, V) во время сжатий и сохраняет качество 2:1:1 во время расширений.

В соответствии с вариантом реализации изобретения, показанном на фиг.8 и 11(a), потребность в схеме согласования задержки устраняется. Вместо этого FIFO управляется способом, который дает те же результаты. Фиг. 52(a) и 52(b) показывают участок линий сигналов компонентов яркости и цвета соответственно в матрице логических элементов 300. Фиг. 52(a) представляет выборочную топологию, соответствующую сжатию видеосигнала, в которой интерполатор 337 предшествует FIFO 356. В отношении линии компонентов цвета показана только FIFO 358.

Фиг. 53(a)-53(к) иллюстрируют пример сжатия видеосигнала. Для целей примера предполагается, что компоненты цвета и яркости правильно согласованы в отношении задержки перед аналого-цифровым преобразованием и что интерполатор имеет задержку 5 циклов синхронизации, хотя встречается фактическая задержка интерполатора 20 циклов синхронизации и яркость и цветность не выравниваются по времени. Линия выборки UV MUX для аналогового переключателя или демультимплексора 344 соответствует сигналу 8 МГц, полученному в результате деления синхронизатора системы на 2. Согласно фиг.53(a) широкий импульс пуска/начала строки одной синхронизации устанавливает сигнал UV MUX в исходное положение на ноль в начале каждой горизонтальной видеостроки, как показано на фиг. 53(б). Линия UV MUX тогда переключает в

состояние каждый цикл синхронизации в горизонтальной строке. Так как длина строки является четным числом циклов синхронизации, состояние UV MUX после установления в исходное состояние будет соответственно переключаться как 0,1,0,1... без прерывания. Потоки данных UV и Y, выходящие из аналого-цифровых преобразователей 346 и 342 сдвигаются, потому что каждый аналого-цифровой преобразователь имеет задержку 1 цикл синхронизации. Чтобы соответствовать этому сдвигу данных, информация стробирования синхронизации CGY, показанная на фиг.53(д), и CGUV, показанная на фиг. 53(е), от устройства управления интерполатором 349 (см. фиг.9), должна быть аналогичным образом задержана.

UV_FIFO_IN данных UV, который показан на фиг.53(г) и загружен в FIFO 358 приводит к Y_FIFO_IN данных Y, показанному на фиг. 53(в), потому что данные яркости проходят через интерполатор 337, и цветочные компоненты не интерполируются. Считывание данных UV_FIFO, показанное на фиг. 53(ж), из UV_FIFO 358, задерживается на 4 цикла синхронизации по отношению к считыванию данных Y_FIFO, показанному на фиг.53(е), из Y_FIFO 356 для регулирования этого несогласования. Задержка на период четырех циклов синхронизации между фронтом сигнала возбуждения считывания RD_EN_MN_UV в UV_FIFO, показанном на фиг.53(з), и фронтом сигнала возбуждения считывания RD_EN_MN_Y в Y_FIFO, показанном на фиг.53 (з) тем самым оповещается. Результирующие потоки данных Y и UV показаны на фиг. 53(и) и 53(к) соответственно.

Наихудшая несогласованность Y по отношению к UV составляет 1 цикл синхронизации, что является тем же результатом, который может быть достигнут с более сложной системой, такой, в которой относительные положения FIFO и схемы согласования задержки могут изменяться.

Следует отметить, что считывание UV_FIFO 358 задерживается на 4 цикла синхронизации, даже если задержка интерполатора составляет, например, 5 циклов синхронизации. Следовательно, число циклов синхронизации для задержки считывания UV_FIFO лучше всего устанавливать на четную величину не больше, чем задержка интерполатора. Как выражение на языке компьютера C, если задержка обозначена как DLY_RD_UV: $DLY_RD_UV = (\text{инт}) ((\text{инт}) \text{INTERP_DLY} + 2)$. 2, где INTERP_DLY есть число циклов синхронизации задержки в интерполаторе.

Практически интерполатор может иметь 20 циклов синхронизации задержки (INTERP_DLY=20), и яркость и цветность (цветочные компоненты) не согласуются. Есть много возможностей для смещения по времени сигналов яркости и цветности относительно друг друга. Обычно сигналы компонента цвета отстают от сигнала яркости по причине демодуляции цветности. Эта система картографирования раstra извлекает преимущество из задержки интерполатора, чтобы преодолеть возможное несогласование Y/UV. В случае сжатия видеосигнала DLY_RD_UV может быть установлен на величину задержки в количестве циклов

синхронизации от 0 до 31 при считывании UV FIFO 358. Так как интерполятор яркости 337 имманентно имеет задержку 20 циклов синхронизации, и каждый цикл составляет примерно длительность 62 нсек, система картографирования раstra, как она описана, может корректировать в течение до 1,24 мсек (62 нсек x 20) задержку цветовых компонентов относительно сигнала яркости. Кроме того, система картографирования раstra может корректировать в течение до 682 нсек (62 нсек x /31-20/) задержку яркости относительно сигналов цветовых компонентов. Это обеспечивает очень высокую степень гибкости в отношении сопряжения с внешними аналоговыми видеосхемами.

Так как интерполятор может вводить другую задержку в канал яркости для сжатия видеосигнала, то же самое может быть верно в отношении расширения видеосигналов. Фиг. 54(а) и 54(б) показывают участок линий сигналов яркости и цветовых компонентов соответственно в матрице логических элементов 300. Фиг. 54(а) представляет выборочную топологию, соответствующую расширению видеосигнала, в которой интерполятор 337 следует после FIFO 356. Линия UV, включающая FIFO 358, остается без изменений. В примере расширения видеосигнала, показанном на фиг. 55(а)-55(к), предполагается, что интерполятор имеет задержку 5 циклов синхронизации. Сигнал SOL пуска/начала строки, сигнал UV MUX, входной сигнал потока яркости Y_IN на FIFO 356 и входной сигнал потока данных цветовых компонентов UV_IN на FIFO 358 показаны на фигурах с 55 (а) по 55(г) соответственно. Чтобы правильно выровнять по времени данные Y и UV, запись Y FIFO 356 может быть задержана (DLY_YUR_Y) или может быть задержано считывание UV FIFO 358 (DLY_RD_UV). Задержка считывания UV FIFO приемлема в этой ситуации, потому что UV FIFO 358 не требует коэффициентов интерполятора K и C. В режиме сжатия видеосигнала запись не может задерживаться, потому что это может нарушить выравнивание коэффициентов (K,C) относительно информации стробирования синхронизации и испортить часть яркости интерполяции. Правильная установка в отношении DLY_YVR_Y, который задерживает запись Y FIFO на 4 цикла синхронизации указывается между фронтом сигнала возбуждения записи UV FIFO типа WR_EN_MN_UV, показанном на фиг. 55(д), и фронтом сигнала возбуждения записи Y FIFO типа WR_EN_MN_Y, показанном на фиг. 55(г). Сигнал логического элемента синхронизации _Cg и выходной сигнал Y FIFO показаны на фиг. 55(з) и 55(й) соответственно. Результирующее временное выравнивание Y, UV показано относительными положениями потоков данных Y_UT и UV_OUT, показанных на фиг. 55(к) и 55(и) соответственно.

Возможность у системы картографирования раstra для компенсации несогласованности внешних яркости/цветности в равной мере большая в отношении расширения видеосигналов и сжатия видеосигналов. Это очень важная функция системы картографирования раstra, так как она устраняет в линии переменной задержки на входе в канал яркости, чтобы

производить согласование яркости/цветности. Выбор конкретной топологии может быть основан на множестве разных факторов, включающих другие особенности схем.

Интерполяция вспомогательного сигнала происходит в линии вспомогательного сигнала 306. Схема PIP 301 управляет 6-ти битовой памятью зон Y, U, V, 8: 1: 1, видеопамятью RAM 350 для запоминания данных поступающих видеосигналов. Видеопамять RAM 35 сохраняет две зоны видеоданных во множестве ячеек памяти. Каждая ячейка памяти содержит восемь бит данных в каждой восьмибитовой ячейке, т.е. одна шестибитовая выборка Y (яркость) (дискретизирована на частоте $640f_H$) и 2 остальных бита. Эти два остальных бита содержат либо данные быстродействующего переключателя (FSW_D AT), либо часть выборки U или V (дискретизирована на частоте $80f_H$). Значения FSW_D AT указывают, какой тип зоны был записан в видеопамять RAM. Так как имеется две зоны данных, загруженных в видеопамять RAM 350, и вся видеопамять RAM 350 считывается во время периода задержки, обе зоны считываются во время сканирования дисплея. Схема PIP 301 будет определять, какая зона будет считываться из памяти для визуализации через использование данных быстродействующего переключателя. Схема PIP всегда считывает тип противоположной зоны, которая записывается для устранения проблемы разрыва движения. Если тип считываемой зоны противоположного типа тому, который визуализируется, тогда четная зона, загруженная в видеопамять RAM, инвертируется путем стирания верхней строки зоны, когда зона считывается из памяти. Результатом является то, что небольшое изображение сохраняет правильное чересстрочное чередование без разрыва движения.

Схема синхронизаторов/синхронизации 320 генерирует сигналы считывания, записи и возбуждения, необходимые для функционирования FIFO 351, 356 и 358. FIFO для основного и вспомогательного каналов возбуждаются для записи данных в память в отношении тех участков каждой видеостроки, которая требуется для последующего дисплея. Данные записываются с одного из основного или вспомогательного каналов, но не с обоих, если необходимо объединить данные из каждого источника на одной и той же видеостроке или видеостроках дисплея. FIFO 354 вспомогательного канала записывается синхронно со вспомогательным видеосигналом, но считывается из памяти синхронно с основным видеосигналом. Компоненты основного видеосигнала считываются в FIFO 356 и 358 синхронно с основным видеосигналом и считываются из памяти синхронно с основным видеосигналом. Как часто функция считывания переключается туда и обратно между основным и вспомогательным каналами, зависит от конкретного специального выбранного эффекта.

Генерирование разных специальных эффектов, таких как урезанные по бокам изображения, достигается путем управления управляющими сигналами возбуждения записи и считывания в отношении блоков памяти FIFO. Процесс в отношении этого

формата дисплея показан на фиг. 7 и 8. В случае срезанных по бокам визуализируемых изображений управляющий сигнал возбуждения записи (WR_EN_AX) для FIFO 354 типа 2048 x 8 вспомогательного канала является активным в отношении $(1/2) \cdot (5/12) = 5/12$ или примерно 41% периода активной строки дисплея (постускорение) или 67% периода активной строки дисплея (предускорение), как показано на фиг.7. Это соответствует примерно 33% урезывания (примерно 76% активного изображения) и расширению интерполятором сигнала в 5/6 раза в основном видеоканале, показанном в верхней части фиг.8, управляющий сигнал возбуждения записи (WR_EN_MN_Y) для блоков памяти 356 и 358 типа 910 x 8, является активным в отношении $(1/2) \cdot (4/3) = 0,67$ или 67% периода активной строки дисплея. Это соответствует примерно 33% урезывания и соотношению сжатия 4/3, которое производится на канале основного видеосигнала блоками FIFO 910 x 8.

В каждой из FIFO видеоданные буферизованы в отношении считывания в конкретный момент времени. Активный район времени, где данные могут считываться на каждой FIFO, определяется выбранным форматом дисплея. В примере показанного режима изображения со срезыванием по бокам видеосигнал основного канала визуализируется на левой половине дисплея и видеосигнал вспомогательного канала визуализируется на правой половине дисплея. Произвольные части форм волны видеосигнала являются разными в отношении основного и вспомогательного каналов, как показано. Управляющий сигнал возбуждения считывания (RD_EN_MN) блоков памяти FIFO 910 x 8 основного канала является активным в отношении 50% периода активной строки дисплея, начиная с начала активного видеосигнала сразу после задней площадки гасящего импульса видеосигнала. Управляющий сигнал возбуждения считывания вспомогательного канала (RD_EN_AX) является активным в отношении других 50% периода активной строки дисплея, начиная со среза сигнала RD_EN_MN и кончая с началом передней площадки гасящего импульса видеосигнала основного канала. Следует отметить, что управляющие сигналы возбуждения записи являются синхронными с их входными данными соответствующих FIFO (основные и вспомогательные), тогда как управляющие сигналы возбуждения считывания являются синхронными с видеосигналами основного канала.

Формат дисплея, показанного на фиг. 1(d) полезен тем, что возбуждают два изображения двух почти полных зон, визуализируемых в формате бок-о-бок. Дисплей является, в частности, эффективным и соответствует для дисплея с соотношением широкого формата изображения, например 16x9. Большинство сигналов NTSC представлено в формате 4x3, который, конечно, соответствует 12x9. Два изображения NTSC с соотношением формата дисплея 4x3 могут быть представлены на одном и том же дисплее с соотношением формата дисплея 16x9, либо путем урезывания изображений на 33%, либо путем сжатия изображений на 33% и введения

искажения соотношения сторон. В зависимости от желания пользователя соотношение сторон изображения при урезывании относительно искажения соотношения сторон может быть установлено любое в пределах от 0% до 33%. Как пример, два изображения бок-о-бок могут быть представлены как сжатие на 16,7% и срезанные на 16,7%.

Функционирование может быть описано с позиций общих соотношений пропорций ускорения и срезывания. Средства визуализации видеосигнала можно считать имеющими соотношение формата дисплея ширины к высоте M:N, источник первого видеосигнала можно считать имеющим соотношение формата дисплея A:B, и источник второго видеосигнала можно считать имеющим соотношение формата дисплея C:D. Первый видеосигнал может выборочно быть ускорен на коэффициент в первом диапазоне примерно от 1 до $(M/N + A/B)$ и выборочно срезан по горизонтали на коэффициент во втором диапазоне примерно от 0 до $[(M/N + A/B) - 1]$. Второй видеосигнал может быть выборочно ускорен на коэффициент в третьем диапазоне примерно от 1 до $(M/N + C/D)$ и выборочно срезан по горизонтали на коэффициент в четвертом диапазоне примерно от 0 до $[(M/N + C/D) - 1]$.

Горизонтальное дисплейное время для соотношения формата дисплея 16x9 будет такое же, как для соотношения формата дисплея 4x3, потому что оба имеют номинальную длину строки 62,5 микросекунд. Соответственно видеосигнал NTSC должен быть ускорен на коэффициент 4/3 для предохранения правильного соотношения сторон без искажения. Коэффициент 4/3 вычислен как соотношение двух форматов дисплея:

$$4/3 = (16/9)/(4/3)$$

Переменные интерполяторы используются в соответствии с отличительными признаками этого изображения для ускорения видеосигналов. В прошлом блоки FIFO с разными частотами синхронизации на входах и выходах использовались для выполнения аналогичной функции. Как сравнение, если два сигнала NTSC с соотношением формата дисплея 4x3 визуализируются на дисплее с соотношением сторон формата дисплея 4x3, каждое изображение должно быть искажено или срезано или в комбинации этих явлений на 50%. Ускорение по сравнению с ускорением, необходимым для широкоэкранный применения, не требуется.

Система синхронизации зон для устранения коллизий указателя считывания/записи и поддержания целостности чересстрочного чередования пояснена более подробно в связи с фиг. 28 - 36. Процессор изображения-в-изображении функционирует таким образом, что вспомогательные видеоданные дискретизируются с частотой синхронизации 640f_H, блокированной в отношении компонента горизонтальной синхронизации поступающего вспомогательного видеосигнала. Это функционирование дает возможность загружать ортогонально дискретизированные данные в видеопамять RAM 350. Данные должны считываться из видеопамати RAM на той же частоте 640f_H.

Данные не могут ортогонально визуализироваться из видеопамати RAM без модификации по причине асинхронной вообще природы источников основного и вспомогательного видеосигналов. Чтобы облегчить синхронизацию вспомогательного сигнала относительно основного сигнала, строчная память с независимыми синхронизациями каналов записи и считывания располагается в линии вспомогательного сигнала после выхода видеопамати RAM 350.

Более конкретно, как показано на фиг. 28, выходной сигнал видеопамати RAM является входным сигналом на первую из двух защелок 352A и 352B. Выход VRAM_OUT является данными в 4-битовых блоках. Четырехбитовые защелки используются для рекомбинации вспомогательного сигнала обратно в 8-битовые блоки данных. Защелки также снижают частоту синхронизации данных с $1280f_H$ до $640f_H$. 8-битовые блоки данных записываются в FIFO 354 при той же синхронизации на $640f_H$, используемой для выборки вспомогательных видеоданных для загрузки в видеопамать RAM 350. Размер FIFO 354 составляет 2048×8 . 8-битовые блоки данных считываются из FIFO при частоте синхронизации дисплея $1024 f_H$, которая блокирована в отношении компонента горизонтальной синхронизации основного видеосигнала. Эта основная конфигурация, которая использует множество строчных устройств памяти с независимыми синхронизациями каналов считывания и записи, дает возможность ортогонально визуализировать данные, которые были ортогонально дискретизированы. 8-битовые блоки данных делятся на 6-битовые выборки яркости и контраста цвета демодулятором 355. Выборки данных могут затем интерполироваться, если это необходимо, в отношении требуемого соотношения формата дисплея и записываться как выходные сигналы видеоданных.

Так как считывание и запись данных из FIFO вспомогательного канала является асинхронным, существует возможность коллизий указателя считывания/записи. Коллизии указателя считывания/записи могут происходить в случае, когда старые данные считываются из FIFO до того, как новые данные имеют возможность быть записанными в FIFO. Коллизии указателя считывания/записи также происходят в случае, когда новые данные перезаписываются в памяти до того, как старые имеют возможность быть считанными из FIFO. Целостность четырехстрочного чередования должна также быть сохранена.

Достаточно большая память должна быть выбрана в первом случае, чтобы избежать коллизий указателя считывания/записи в FIFO вспомогательного канала. Для визуализации видеосигнала с нормальным соотношением сторон формата дисплея, срезанного на 33%, вспомогательная FIFO, которая размером 2048×8 , способна записывать 5,9 строк видеоданных, вычисленных как показано ниже, где N есть число раз, и L есть длина каждой строки:

$N = (2/3) \cdot (0,82) \cdot (640) = 350$, основываясь на 82%-ном активном периоде строки,
 $L = 2048/350 = 5,9$

Отличительный признак изображения

признает, что скорости процессии больше 2 строк/зона не встречаются. Поэтому критерий конструкции, как 5-строчное устройство FIFO для вспомогательного канала, может быть достаточным для предотвращения коллизий указателя считывания/записи.

Эксплуатацию памяти FIFO вспомогательного канала можно планировать как показано на фиг. 29. Блок-схема упрощенной цепи, образованной триггерами D-типа для генерирования задержки строк (Z^{-1}) и импульсов установления исходного состояния для управления записью и считыванием в FIFO 354 в линии вспомогательного сигнала показана на фиг. 30. В начале новой зоны основного сигнала указатель записи устанавливается в исходное положение на пуск FIFO. Этот импульс установления в исходное положение, обозначенный WR_RST_AX, является комбинацией D_SYNC_MN выбранных H_SYNC_AX. Иначе говоря, WR_RST_AX происходит при первом импульсе горизонтальной синхронизации вспомогательного видеосигнала, который происходит после импульса вертикальной синхронизации основного сигнала. Две горизонтальные строки основного сигнала после указателя считывания устанавливаются в исходное положение в отношении пуска FIFO 354. Этот импульс установления в исходное положение обозначен RD_RST_AX. Иначе говоря, RD_RST_AX происходит при третьем импульсе горизонтальной синхронизации основного сигнала или, говоря по другому, при втором импульсе горизонтальной синхронизации основного сигнала, который происходит после импульса WR_RST_AX.

Так как основной и вспомогательный сигналы являются асинхронными, есть некоторая неясность в отношении точности, где есть указатель записи, когда указатель считывания установлен в исходное положение. Известно, что указатель записи ведет указатель считывания посредством по крайней мере двух сторон. Однако если частота горизонтальной синхронизации вспомогательного канала выше, чем частота горизонтальной синхронизации основного канала, тогда указатель записи продвигается за маркер 2 строк, как показано. Именно благодаря этому коллизия указателей устраняется в отношении всех сигналов со скоростью прецессии меньше 2 строки/зона. FIFO 354 вспомогательного канала разделена на 5 отрезков строки посредством соответственно хронированных сигналов установки в исходное положение считывания и записи. В этой схеме указатели считывания установлены в исходное положение в начале каждой визуализируемой зоны по крайней мере в 2 строках на расстоянии друг от друга.

Если FIFO не была бы длиной полных 5 строк, система могла бы пожертвовать расстоянием памяти от указателя записи до указателя считывания. Это относится к случаю разных режимов сжатия, например сжатия 16%:

$$16\% \text{ сжатия: } N = (5/6) \cdot (0,82) \cdot 640 = 437$$

$$L = 2048/5,437 = 4,7$$

В этих случаях FIFO показывает длину менее 5 строк. При сжатии 16% фактическая длина FIFO составляет 4,7 строк. Коэффициент (0,8) в уравнении N сжатия 33%

отражает операционное ограничение чипа CIP.

Так как исходные установки записи и считывания FIFO разнесены друг от друга минимум на две строки активного видеосигнала, жертва всегда по пути предоставления возможности указателю считывания сблизиться с указателем записи. Кроме того, только 80% видеостроки считается активным, потому что процессор изображения-в-изображении не способен запоминать больше 512 видеовыборок в видеопамяти RAM 350. Практически это также обеспечивает хорошую активную видеостроку. В этих случаях скорость прецессии приносится в жертву для более видимого содержания изображения. Дополнительно происходит большее искажение во вспомогательном видеосигнале. В наихудшем случае может допускаться прецессия до одной строки на зону между источниками основного и вспомогательного видеосигналов. Это также более, чем необходимо для большинства видеоисточников, и допуск скорости прецессии приносится в жертву в режимах этих средств, которые считаются наименее используемыми.

Так как установки исходного положения записи и считывания FIFO разнесены друг от друга минимум на две строки активного видеосигнала компромисс всегда идет по пути предоставления возможности указателю считывания с указателем записи. Кроме того, только 8% видеостроки считается активным, потому что процессор изображения-в-изображении не способен запоминать больше 512 видеовыборок в видеопамяти RAM 350. Практически это также обеспечивает хорошую активную видеостроку. В этих случаях скорость прецессии приносится в жертву в пользу более видимого содержания изображения. Дополнительно происходит большее искажение во вспомогательном видеосигнале. В наихудшем случае может допускаться прецессия до одной строки на зону между источниками основного и вспомогательного видеосигналов. Это также более, чем необходимые для большинства видеоисточников, и допуск скорости прецессии приносится в жертву в режимах этих средств, которые считаются наименее используемыми.

Другая проблема, возникающая из асинхронного считывания и записи FIFO, в том, чтобы поддерживать целостность чересстрочного чередования видеосигнала вспомогательного канала. Так как дисплей блокирован в отношении видеосигнала основного канала, тип текущей зоны, подлежащей визуализации, т.е. верхней или нижней зоны, будет определяться основным сигналом. Тип зоны, которая загружена в видеопамять RAM 350 и готова для считывания в начале зоны основного канала, может быть такой же или не такой же, как тип визуализированной зоны. Может быть необходимым изменить тип вспомогательной зоны, загруженной в видеопамять RAM 350 для согласования ее с дисплеем основного канала

Процессор изображения-в-изображении 320 и матрица логических элементов 300 производят квантование 262,5 зон строки

сигнала NTSC в 263 строчных верхних зон (иногда именуемых нечетными зонами) и 262 строчных нижних зон (иногда именуемых четными зонами). Это обязано факту, что компонент вертикальной синхронизации дискретизируется с помощью импульсов, представляющих компонент горизонтальной синхронизации. Это иллюстрируется схемой на фиг. 31. Индикатор типа верхней/нижней зоны имеет значение 1 для верхних зон и значение 0 для нижних зон. Верхние зоны включают в себя нечетные строки с 1 по 263. Нижние зоны включают в себя четные строки со 2 по 262. На фиг. 32 индикатор первого типа зон U/L MAIN SIGNAL представляет тип зоны основного видеоканала. Сигнал HSYNC_AH представляет компоненты горизонтальной синхронизации в отношении каждой строки вспомогательного канала.

Индикатор типа зоны U/L (A) представляет тип зоны, загруженный в видеопамять RAM 350, если бы каждая строка вспомогательного канала была бы записана "нормально". Используемый здесь термин нормально указывает, что нечетные строки 1-263 записываются в видеопамять RAM 350, когда верхняя зона принята и декодирована. Индикатор типа зоны U/L (B) представляет тип зоны, загруженной в видеопамять RAM 350, если первая строка верхней зоны не записана в видеопамять RAM 350 во время приема верхней зоны. Вместо этого первая строка фактически располагается на последней строке (номер 262) нижней зоны. Это эффективно инвертирует тип зоны, так как строка 2 будет первой визуализируемой строкой и строка 3 будет второй визуализируемой строкой в кадре. Принятая верхняя зона теперь становится нижней зоной и наоборот. Индикатор типа зоны U/L (C) представляет тип зоны, загруженной в видеопамять RAM 350, если последняя строка верхней зоны добавлена в видеопамять RAM 350 во время приема нижней зоны. Это эффективно инвертирует тип зоны, так как строка 263 будет первой визуализированной строкой и строка 1 будет второй визуализируемой строкой.

Сложение и вычитание строк в режимах B и C не ухудшает изображения вспомогательного канала, потому что эти строки происходят во время вертикального обратного хода или захода развертки за полезную площадь экрана. Порядок визуализируемых строк показан на фиг. 34, где сплошные линии представляют строки верхней зоны и пунктирные линии представляют строки нижней зоны.

Когда происходит прецессия сигналов основного и вспомогательного каналов, U/L MAIN SIGNAL будет сдвигаться влево или вправо относительно индикаторов типа зоны вспомогательного канала U/L (A,B,C). В положении, показанном на фигуре, данные должны записываться в видеопамять RAM 350, используя режим A, потому что решающая кромка находится в зоне A. Режим A является соответствующим, потому что когда процессор изображения-в-изображении принимает компонент вертикальной синхронизации, он будет записывать тот же самый тип зоны в видеопамять RAM 350, как это потребует дисплей, чтобы считывать из видеопамяти RAM 350, начиная с VSYNC_MN (компонент вертикальной синхронизации

основного канала). Так как происходит прецессия сигналов, режим будет изменяться в соответствии с их относительными положениями. Действительные режимы показаны графически вверху фиг. 32 и в таблице на фиг. 33. Имеет место перекрытие (наложение) между режимами В и С, так как в течение большинства времени, когда режим В является действительным, режим С также является действительным, и наоборот. Это верно в отношении всех кроме двух строк из строк 262. Любой из режимов В и С может использоваться, когда действительны оба.

Блок-схема цепи 700 для поддержания целостности чересстрочного чередования согласно этому варианту реализации изобретения показана на фиг. 36. Выходные сигналы схемы 700 являются управляющими сигналами установки в исходное положение записи и считывания для видеопамати RAM 350, FIFO 354 в линии вспомогательного сигнала и FIFO 356 в линии основного сигнала, как показано на фиг. 28. Тип зоны основного видеосигнала определяется из пары сигналов VSYNC_MN и HSYNC_MN. Тип зоны вспомогательного видеосигнала определяется из соответствующей пары сигналов VSYNC-AX и HSYNC-AX. Каждая пара сигналов имеет заданное фазовое отношение, которое устанавливается в матрице логических элементов. Это отношение показано на фиг. 35(а) - 35(в), которое применяется к обоим парам сигналов. В каждом случае HSYNC является прямоугольным импульсом, фронт которого соответствует началу горизонтальной строки принимаемого сигнала. В каждом случае VSYNC имеет только один фронт на зону, который соответствует началу вертикальной зоны принимаемого сигнала. Отношение между фронтами соответствующих пар сигналов проверяется схемой 700 для определения, какая стадия, если есть, необходима для согласования типа зоны вспомогательного сигнала с типом зоны основного сигнала. Чтобы предотвратить двусмысленность, передние фронты основной пары сигналов никогда не располагаются ближе, чем 1/8 периода горизонтальной строки. Передние фронты вспомогательной пары сигналов никогда не располагаются ближе, чем 1/10 периода горизонтальной строки. Это предотвращает дрожание (неустойчивую синхронизацию) передних фронтом относительно друг друга. Это отношение обеспечивается схемами синхронизации в матрице логических элементов.

Пара основных сигналов VSYNC_MN и HSYNC_MN являются входными на схему 702 первого типа зон, которая содержит триггеры D-типа. В одном случае HSYNC_MN выбирается посредством VSYNC_MN, т.е. VSYNC_MN является синхронизирующим входным сигналом. Выход этого триггера представляет собой индикатор верхней/нижней зоны UL_MN для главного сигнала, который может быть логическим H1 для типа верхней зоны и логическим L0 для типа нижней зоны, хотя это произвольно. В другом случае VSYNC_MN выбирается посредством HSYNC_MN, именно как в триггере 852, поясненном в связи с фиг. 30. Это обеспечивает выход V_H, который является вертикалью, синхронизированной с

горизонталью.

Пара вспомогательных сигналов VSYNC_AX и HSYNC_AX является входными сигналами на схему 710 первого типа зон, которая также содержит два триггера D-типа. В одном случае HSYNC_AX выбирается посредством VSYNC_AX, т.е. VSYNC_AX является синхронизирующим входным сигналом. Выход триггера представляет собой индикатор верхней/нижней зоны UL_AZ для вспомогательного сигнала, который может быть логическим H1 для типа верхней зоны и логическим L0 для типа нижней зоны, хотя это является произвольным. В другом случае VSYNC_AX выбирается посредством HSYNC_AX, именно как в триггере 852, поясненном в связи с фиг. 30. Это обеспечивает выход V_H, который является вертикалью, синхронизированной с горизонталью.

Определение типа зоны в отношении обоих сигналов показано на фиг. 35(а)-35(в). Если появление начала кромки зоны происходит в первой половине периода горизонтальной строки, как на фиг. 35(б), зона является типом нижней зоны. Если появление начала кромки зоны происходит во второй половине периода горизонтальной строки, как на фиг. 35(в), зона является типом верхней зоны.

V_H для основного сигнала и HSYNC_MN являются входными сигналами на схемы задержки 704, 706 и 708, которые обеспечивают задержки периода горизонтальной строки для обеспечения правильного фазового отношения выходных сигналов. WR_RST_FIFO_MN, RD_RST_FIFO_MN и RD_RST_FIFO_AX. Операция задержки, которая может быть реализована триггерами D-типа, аналогична схеме, показанной на фиг. 30. Задержка в виде двух-трех периодов горизонтальной строки обеспечивается между указателями записи и считывания.

Индикатор типа верхней/нижней зоны UL_MN соответствует U/L MAIN SIGNAL, показанному вверху фиг. 32, и является одним входным сигналом на компаратор ULSEL 714. Остальные входные сигналы на компаратор 714 подаются генератором тестов UL_AX 712. Генератор тестов 712 имеет индикатор зоны UL_AX как входной сигнал, а также HSYNC_AX как синхронизирующий входной сигнал. Генератор тестов 712 генерирует сигналы U/L (A), U/L (B) и U/L (C), показанные внизу фиг. 16, соответствующие трем возможным режимам A, B и C. Каждый из сигналов U/L (A), U/L (B) и U/L (C) сравнивается с UL_MN во время решающего фронта U/L_MN, также показанном на фиг. 32. Если UL_MN согласуется с U/L (A), типы зоны согласуются, и не требуется предпринимать действия для поддержания целостности чересстрочного чередования. Если UL_MN согласуется с U/L (B), типы зон не согласуются. Необходима задержка записи верхней зоны на одну строку, чтобы поддерживать целостность чересстрочной развертки. Если UL_MN согласуется с U/L (C), типы зон не согласуются. Необходимо продвинуть запись нижней зоны на одну строку, чтобы поддерживать целостность чересстрочной развертки.

Результаты этого сравнения являются

входом на схему селектора RST_AX_SEL 718. Другими входами являются три сигнала вертикальной синхронизации RST_A, RST_B и RST_C, генерируемые генератором RST_AX_GEN 716. Три сигнала вертикальной синхронизации RST_A, RST_B и RST_C имеют разные фазы относительно друг друга для выполнения корректирующего действия или невыполнения корректирующего действия, чтобы поддерживать целостность чересстрочной развертки согласно выходу компаратора 714. Схема задержки 722 повторно синхронизирует выбранный сигнал вертикальной синхронизации со входным вспомогательным видеосигналом для генерирования WR_RST_VRAM_AX. Схема задержки 720 выполняет аналогичную функцию в отношении генерирования RD_RST_VRAM_AX и WR_RST_FIFO_AX. Как видно на фиг. 32, режимы В и С перекрываются большую часть времени. Фактически только два из каждых 525 сравнений потребуют только один из режимов В или С, а не оба. Компаратор 714 может быть выполнен, чтобы благоприятствовать режиму С по сравнению с режимом В, когда оба режима являются действительными. Этот выбор может быть произвольным или основанном на других особенностях схемы.

Схема 111, показанная на фиг. 4(б), показывает, как схема 11, показанная на фиг. 4(а), может быть модифицирована, чтобы содержать систему жидкокристаллического дисплея (LCD). Способы картографирования раstra, используемые в обработке цифровых сигналов, поясненные подробно выше, также соответствуют для системы дисплея на жидких кристаллах. Карта элементов изображения, генерируемая генератором адресов матрицы LCD 113, основана на цифровом мультиплексированном выходе матрицы логических элементов Y_MX, U_MX и V_MX. Генератор адресов матрицы LCD 113 возбуждает средство жидкокристаллического дисплея 115.

Уменьшение или сжатие данных и восстановление или расширение данных могут производиться альтернативными способами в соответствии с разными вариантами реализации изобретения. Согласно одному альтернативному решению во вспомогательный сигнал производится "подмешивание псевдослучайного сигнала" схемой обработки разрешающей способности 370 и "устранение подмешанного псевдослучайного сигнала" схемой обработки разрешающей способности 357. Схема 370 обработки разрешающей способности может быть также выполнена как схема сжатия данных, и схема 357 обработки разрешающей способности может быть также выполнена как схема расширения данных. Подмешивание псевдослучайного сигнала является процессом, в котором n-битовый сигнал имеет m-битовую последовательность подмешиваемого псевдослучайного сигнала, добавляемого в него, после чего m биты младшего разряда отбрасываются. Схема подмешивания псевдослучайного сигнала 1 бит и соответствующая схема устранения подмешанного псевдослучайного сигнала 1 бит показаны на фиг. 39 и 40 соответственно. Схема подмешивания псевдослучайного сигнала 2 бита и соответствующая схема устранения подмешанного псевдослучайного

сигнала 2 бита показаны на фиг. 41 и 42 соответственно.

Согласно фиг. 39 и 40 суммирующая схема 372 объединяет n-битовый сигнал с последовательностью добавочного псевдослучайного сигнала 1 бит. Преимущественная последовательность однобитового добавочного псевдослучайного сигнала составляет 01010101 и т.д. После добавления последовательности добавочного псевдослучайного сигнала к 1-битовому сигналу бит младшего разряда устраняется схемой 374. n-1-битовый сигнал с подмешанным псевдослучайным сигналом затем обрабатывается модулем пикс-в-пиксе 320, защелками 352A и 352B и FIFO 354. Последующий выход схемы декодирования PIP 306B является n-1 битовым сигналом с подмешанным псевдослучайным сигналом. В схеме 357 восстановления данных n-1 битовый сигнал с подмешанным псевдослучайным сигналом подается на схему суммирования 802 и один вход логического элемента И 804. Сигнал на другом входе логического элемента 804 И маскирует бит младшего разряда сигнала с подмешанным псевдослучайным сигналом. Выход логического элемента 804 И подается непосредственно на один вход логического элемента 801 исключающее ИЛИ и задерживается на величину одной синхронизации или одного элемента изображения схемой 806 перед подачей в качестве другого входного сигнала на логический элемент 808 исключающее ИЛИ. Выход логического элемента 808 исключающее ИЛИ является одним входным сигналом на логический элемент 810 И и входным сигналом на Y интерпретатор 359, входной сигнал, образующий новый бит младшего разряда сигнала с устраненным добавочным псевдослучайным сигналом. Другой вход логического элемента 810 И является сигналом, имеющим ту же последовательность подмешиваемого псевдослучайного сигнала и ту же фазу, как добавочный псевдослучайный сигнал, подаваемый на суммирующее соединение 372. Выход логического элемента 810 И является вычитаемым входным сигналом на схему суммирования 802. Выход суммирующей схемы 801 объединяется с дополнительным битом, подаваемым выходом логического элемента 808 исключающее ИЛИ, образуя n-битовый с устраненным псевдослучайным сигналом сигнал в качестве входного на Y интерполятор 359.

Согласно фиг. 41 схема 370 подмешивания 2-битового псевдослучайного сигнала содержит суммирующую схему 376, которая объединяет n-битовый сигнал с последовательностью 2-битового добавочного псевдослучайного сигнала. В соответствии с вариантом реализации изобретения сигнал, являющийся добавочным псевдослучайным сигналом, может быть определен с помощью любой повторяемой последовательности чисел 0, 1, 2, 3 в любом порядке в рамках последовательности. Это определение включает в себя следующие последовательности, как приведено в таблице 1.

Последовательность 2-битового

добавочного псевдослучайного сигнала, которая, в частности, является выгодной, это 02130213 и т.д., которая показана на фиг. 41. n-Битовый сигнал, который является выходом суммирующей схемы 376, имеет свои два бита младшего разряда, отброшенные схемой 378. n-2-Битовый сигнал с добавочным псевдослучайным сигналом затем обрабатывается процессором 320 изображения-в-изображении, защелками 352A и 352B, FIFO 354 и схемой декодирования PIP 306B.

Видно, что компонент четверти частоты обычно более спорный, чем компонент половины частоты, даже если компонент четверти частоты имеет половину амплитуды компонента половины частоты. Соответственно, схема устранения подмешанного псевдослучайного сигнала может быть выбрана для подавления только четверть-частотного компонента. Первая линия сигнала схемы устранения подмешанного псевдослучайного сигнала предназначена для задержки и согласования амплитуды. Вторая линия сигнала включает в себя комбинацию инвертированного полосового фильтра и ограничителя. Инвертированный полосовой фильтр аннулирует частоту в центре полосы пропускания, когда добавлен первоначальный сигнал задержки и согласованной амплитуды. Ограничитель обеспечивает, чтобы аннулировались только амплитуды размера добавочного псевдослучайного сигнала. Это устройство устранения подмешанного псевдослучайного сигнала не имеет действия на полочастотный выборочный компонент сигнала с устраненным добавочным псевдослучайным сигналом. Полочастотный компонент сигнала является достаточно низким по амплитуде и достаточно высоким по частоте, чтобы иметь достаточно низкую видимость для избежания проблем.

Такая схема устранения добавочного псевдослучайного сигнала 306 показана на фиг. 42. n-2-Битовый сигнал на выходе схемы декодирования PIP 306B подается как входной сигнал на схему задержки на величину двух синхронизаций или двух элементов изображения 822, схему задержки на величину двух синхронизаций или двух элементов изображения 814 и суммирующую схему 812. Выход схемы задержки 814 является вычитаемым входным сигналом на суммирующую схему 812, выход которой будет n-1-битовым сигналом. n-1-Битовый сигнал с устраненным добавочным псевдослучайным сигналом является входным сигналом на схему ограничителя 816. Выходные величины схемы ограничителя в этом случае ограничены значениями (-1, 0, 1), т.е. абсолютным значением единицы. Выход ограничивающей схемы 816 является 2-битовым сигналом, подаваемым как входной на схему задержки 818 в размере двух синхронизаций или двух элементов изображения, и как вычитаемый входной сигнал на суммирующую схему 820. Схема задержки 818 и суммирующая схема 820 образуют полосовой фильтр, имеющий коэффициент передачи 2 на средней частоте несущей, которая составляет 1/4 частоты выборки. Двухбитовый сигнал является сигналом двух компонентов. Выход суммирующей схемы 820 является 3-битовым

сигналом, который является вычитаемым входным сигналом на суммирующую схему 826. n-2-битовый выход схемы задержки 822 является входным сигналом на умножитель 824. Выход умножителя 824 является n-битовым сигналом, в котором два бита младшего разряда равны нулю. Значения двух битов младшего разряда (и некоторая коррекция) подаются операцией суммирования в схеме 826. Выход суммирующей схемы 826 является n-битовым сигналом, частично освобожденным от подмешанного псевдослучайного сигнала, который является входным сигналом на Y интерпретатор 359.

Разрешающая способность или заданное качество видеосигнала с устраненным добавочным псевдослучайным сигналом может быть улучшена при некоторых обстоятельствах путем сдвига последовательности добавочного псевдослучайного сигнала.

Последовательность добавочного псевдослучайного сигнала, будь-то однобитовая или двухбитовая последовательность, повторяется непрерывно по данной строке, но имеет сдвиг фазы по разным строкам. Возможны многие схемы сдвига. Две сдвиговые последовательности могут быть, в частности, выгодными для скрытия артефактора в дисплее по причине самого процесса подмешивания псевдослучайного сигнала. Эти сдвиговые последовательности показаны на фиг. 43. Сдвиги от зоны к зоне одного и двух элементов изображения будут те, в которых все строки одной зоны имеют одну и ту же фазу, и все строки следующей зоны сдвинуты на один или два элемента изображения относительно первой зоны. Сдвиги от зоны к зоне при двухбитовых сигналах с добавочным псевдослучайным сигналом лучше всего функционируют в отношении неподвижных изображений типа стоп-кадра. Некоторые линейные структуры могут быть видимы во время живого видеоизображения, где имеются в движении плоские площади. Сдвиг на один элемент изображения, в частности, выгоден в отношении двухбитовых добавочных псевдослучайных сигналов, если сигнал будет освобожден от добавочного псевдослучайного сигнала, но в настоящее время предпочитается сдвиг на два элемента изображения, если сигнал не будет освобождаться от добавочного псевдослучайного сигнала. Должен или нет сигнал подвергаться обработке для устранения добавочного псевдослучайного сигнала зависит от формата дисплея.

Альтернативой подмешиванию псевдослучайного сигнала для сжатия данных является сжатие спаренных элементов изображения, что будет пояснено со ссылкой на фиг. 44. Зона показана вверху фиг. 44, как зона, включающая строки 1,2,3 и т.д. Элементы изображения каждой строки представлены буквами. Каждый элемент изображения, обозначенный "P", будет сохраняться, тогда как каждый элемент изображения, обозначенный "R", будет заменяться. Постоянные и заменяемые элементы изображения сдвинуты на один элемент изображения от строки к строке. Иначе говоря, в строках нечетных номеров

заменяемые элементы изображения будут второй, четвертой, шестой и т.д. В строках четных номеров заменяемые элементы изображения будут первый, третий, пятый и т.д. Две основные альтернативы состоят в замещении каждого заменяемого элемента изображения либо однобитовым кодом, либо двухбитовым кодом. Биты для кодов берутся из числа битов, доступных для определения постоянных элементов изображения. Число битов, доступных для определения элементов изображения, ограничено емкостью памяти процессора видеосигналов. В этом случае СРIP-чип и видеопамять RAM 350 определяют предел в среднем 4 бита на элемент изображения. Если однобитовый код подставляется в каждый заменяемый элемент изображения, тогда 7 битов доступно в отношении каждого постоянного элемента изображения. Аналогичным образом, если двухбитовый код подставляется для каждого заменяемого элемента изображения, тогда 6 битов доступно для описания каждого постоянного элемента изображения. В любом случае каждая пара последовательных элементов изображения (один постоянный и один заменяемый) требует всего 8 битов. Всего 8 битов на пару составляют в среднем только 4 бита на элемент изображения. Сжатие данных происходит в диапазоне от 6:4 до 7:4. Последовательность замены показана в части зоны, включающей три последовательные строки $n-1$, n , $n+1$. Элементы изображения, подлежащие замене, обозначены R1, R2, R3, R4 и R5. Сохраняемые (постоянные) элементы изображения обозначены A, B, C и D.

В соответствии со схемой 1-битового кодирования нуль будет замещаться в отношении заменяемого элемента изображения, если он близок по величине к элементу изображения выше его, чем ближе по величине к среднему значению элементов изображения на каждой боковой стороне. Например, на фиг. 44 однобитовый код замены для элемента изображения R3 будет ноль, если величина элемента изображения R3 ближе к величине среднего значения элементов изображения B и C, чем к величине элемента изображения A. В противном случае однобитовый код замены будет 1. Когда данные восстановлены, элемент изображения R3 будет равен по величине среднему значению величин элементов изображения B и C, если однобитовый код есть 0. Если однобитовый код равен 1, тогда величина элемента изображения R3 будет такой же, как величина элемента изображения A.

Последовательность замены и восстановления двухбитового кода также показана. В отношении элемента изображения R3 двухбитовый код замены равен 0, если величина R3 ближе всего по величине величине элемента изображения A. Двухбитовый код замены равен 1, если величина R3 ближе всего по величине к среднему значению величин A и B. Двухбитовый код замены равен 2, если величина R3 ближе всего по величине к среднему значению величин A и C. Двухбитовый код замены равен 3, если величина R3 ближе всего по величине к среднему значению величин B и C. Последовательность восстановления следует последовательности замены. Если

двухбитовый код есть 0, величина элемента изображения R3 равна величине A. Если двухбитовый код равен 1, величина элемента изображения R3 равна среднему значению величин A и B. Если двухбитовый код равен 2, величина элемента изображения R3 равна среднему значению величин элементов изображения A и C. Если двухбитовый код равен 3, тогда величина элемента изображения R3 равна среднему значению величин элементов изображения B и C.

1-Битовый код выгоден в случае, когда постоянные элементы изображения описаны с 1-битовой большей разрешающей способностью. 2-Битовый код выгоден в случае, когда заменяемые элементы изображения описаны с большей разрешающей способностью. Исходя из вычислений на основе величин только двух строк, т. е. например, $n-1$ и n или n и $n+1$, это выгодно для уменьшения емкости хранения необходимых строк. С другой стороны, более точная последовательность замены может быть генерирована, если величина включена в вычисления, но ценой приобретения дополнительной строки в емкости видеопамати. Сжатие спаренных элементов изображений практически может быть эффективным для получения хорошей горизонтальной и вертикальной разрешающей способности; в некоторых случаях лучше, чем путем примешивания псевдослучайного сигнала и устранения этого примешивания. С другой стороны, разрешающая способность диагональных переходов вообще не так хороша, как в случае подмешивания псевдослучайного сигнала и его устранения.

В соответствии с вариантом реализации изобретения возможно множество схем сжатия данных и расширения данных, включающих, например, примешивание псевдослучайного сигнала и устранение примешанного псевдослучайного сигнала и сжатие спаренных элементов изображения. Кроме того, разные последовательности подмешивания псевдослучайного сигнала, включая разные количества бит, и разные сжатия спаренных элементов изображения, включая разные количества бит, будут также возможны. Конкретная схема сжатия и расширения данных может быть выбрана средством WSR, MP, чтобы повысить разрешающую способность визуализируемого видеоизображения для каждого конкретного типа формата видеодисплея.

Широкоэкранный процессор также может управлять вертикальным отклонением для выполнения функции вертикальной трансфокации. Топология широкоэкрannого процессора такова, что функции картографирования (интерполяции) горизонтального растра вспомогательного и основного каналов независят друг от друга и не зависят от вертикальной трансфокации (которая манипулирует вертикальным отклонением). Благодаря этой топологии основной канал может быть расширен по горизонтали и по вертикали для сохранения правильного соотношения сторон при трансфокации основного канала. Однако если регулировки интерполятора вспомогательного канала не изменяются, РIP (малое изображение) будет подвергаться трансфокации по вертикали, но не по

горизонтали. Поэтому интерполятор вспомогательного канала может быть выполнен для выполнения более крупных расширений, чтобы поддерживать правильное соотношение сторон изображения в небольшом изображении PIP, когда вертикаль расширяется.

Хороший пример этого процесса происходит в случае, когда основной канал визуализирует материал почтового ящика 16 x 9, как пояснено более подробно ниже. Короче говоря, картографирование основного горизонтального раstra устанавливается на 1:1 (нет расширения, нет сжатия). Вертикаль подвергается трансфокации на 33% (т.е. расширяется на 4/3) для устранения черных полос, связанных с материалом источника почтового ящика. Соотношение сторон изображения основного канала теперь правильное. Номинальная регулировка вспомогательного канала в отношении материала источника 4 x 3 при отсутствии вертикальной трансфокации составляет 5/6. Другая величина в отношении коэффициента расширения X определяется следующим образом:

$$X = (5/6) \cdot (3/4) = 5/8$$

Когда интерполятор 359 вспомогательного канала установлен на 5/8, правильное соотношение сторон изображения небольшого изображения сохраняется, и объекты внутри PIP выглядят без искажения соотношения сторон.

Конкретное преимущество широкоформатных телевизионных систем в том, что сигналы почтового ящика могут расширяться для заполнения экрана дисплея с соотношением дисплея широкого формата, хотя может потребоваться интерполяция сигнала, чтобы получить дополнительную вертикальную разрешающую способность. В соответствии с отличительным признаком изобретения схема автоматического детектирования почтового ящика предусматривается для автоматической реализации расширения с соотношением формата дисплея 4 x 3, который включает дисплей почтового ящика с соотношением формата дисплея 16 x 9. Автоматический детектор почтового ящика поясняется подробно в связи с фиг. 45-49.

Для увеличения вертикальной высоты сигнала почтового ящика частота вертикального сканирования дисплея видеосигнала увеличивается таким образом, что задние районы вверху и внизу изображения устраняются или по крайней мере значительно уменьшаются. Автоматический детектор почтового ящика основан на предположении, что видеосигнал будет соответствовать вообще тому, что показано на схеме фиг. 45. Районы А и С не имеют активного видеосигнала или имеют наименьшие уровни яркости, которые меньше, чем заданный порог яркости. Район В имеет активный видеосигнал или по крайней мере уровни яркости, которые более, чем заданный порог яркости. Соответствующие временные интервалы районов А, В и С зависят от формата почтового ящика, который может быть в диапазоне от 16 x 9 до 21 x 9. Временная длительность районов А и С составляет примерно 20 строк каждый для формата почтового ящика 16 x 9. Детектор почтового

ящика проверяет уровни яркости в отношении районов А и/или С. Если активный видеосигнал или по крайней мере минимальный уровень видеояркости имеет место в районах А и/или С, детектор почтового ящика генерирует выходной сигнал, например логический 0, указывающий источник нормального сигнала NTSC с соотношением формата дисплея 4 x 3. Однако, если видеосигнал детектирован в районе В, а не в районах А и С, тогда видеосигнал считывается от источника сигнала почтового ящика. В этом случае выходной сигнал должен быть логической 1.

Функционирование детектора может быть улучшено путем гистерезиса, как показано схематично на фиг. 46. После того как сигнал почтового ящика детектирован, минимальное число зон сигнала почтового ящика должно быть детектировано до изменения дисплея на дисплей, необходимый для нормальных сигналов 4 x 3. Аналогичным образом, после того, как детектирован нормальный сигнал 4 x 3, формат почтового ящика должен быть детектирован для минимального числа зон до переключения дисплея на широкоэкранный режим. Схема 1000 для реализации этого способа показана на фиг. 47. Схема 1000 содержит уровневый счетчик 1004, счетчик зон 1006 и схему детектора 110, в которой описанный выше алгоритм выполняется для анализа видеосигнала.

В другом варианте реализации изобретения детектирование почтового ящика производится путем вычисления двух градиентов в отношении каждой строки в видеозоне. Требуется четыре величины для вычисления двух градиентов: максимальная и минимальная величины текущей строки и минимальная и максимальная величины предшествующей строки. Первый градиент, обозначенный положительным градиентом, образуется путем вычитания минимальной величины предшествующей строки из максимальной величины текущей строки. Второй градиент, обозначенный отрицательным градиентом, образуется путем вычитания минимальной величины текущей строки из максимальной величины предшествующей строки. Любой из градиентов может иметь положительное или отрицательное значения в зависимости от содержания сцены, но отрицательные значения обоих градиентов могут игнорироваться. Это связано с тем, что только один градиент может быть отрицательным в данный момент времени, и величина градиента с положительным значением будет всегда больше или равна величине градиента с отрицательным значением. Это упрощает схему благодаря устранению необходимости вычислять абсолютное значение градиентов. Если любой градиент имеет положительное значение, которое превышает программируемый порог, видеосигнал считывается присутствующим либо на текущей строке, либо на предшествующей строке. Эти величины могут использоваться микропроцессором для определения, является ли или нет видеосигнал в формате почтового ящика.

Схема 1010 для реализации этого способа детектирования почтового ящика показана в блок-схеме на фиг. 48. Схема 1010 содержит

фильтр входа яркости, детектор 1020 максимальной (макс) строки, детектор 1022 минимальной (мин) строки и выходную секцию 1024. Фильтр входа яркости содержит каскады 1012 и 1014 импульсной характеристики с конечной длительностью (FIR), а также сумматоры 1016 и 1018. Схема детектирования почтового ящика 1010 функционирует на цифровых данных яркости Y_IN от широкоэкранный процессора. Входной фильтр используется для улучшения характеристики шума и обеспечения большей надежности детектирования. Фильтр по существу является двумя каскадами FIR, имеющими передаточную функцию следующего вида:

$$H(Z) = (1/4) \cdot (1+Z^{-1}) \cdot (1+Z^{-3})$$

Выход каждого каскада сокращается до восьми бит (делится на два), чтобы сохранить усиление DC единица.

Детектор 1020 максимальной строки включает два регистра. Первый регистр содержит величину максимального элемента изображения (макс пикс) в текущей точке за период строки. Он устанавливается в исходное положение в начале каждого периода строки с помощью одного широкого импульса синхронизации, обозначенного SOL (пуск/начало строки) на величину 80h. Величина 80h представляет минимальную возможную величину в отношении восьмибитового числа в формате двух дополнений. Схема возбуждается сигналом, обозначенным LTRBX EN, который становится высоким в течение примерно 70% активной видеостроки. Второй регистр содержит величину максимального элемента изображения (максимальная строка) в отношении всей предшествующей строки, и обновляется раз каждый период строки. Поступающие данные яркости Y_IN сравниваются с текущей величиной максимального элемента изображения, загруженной в регистр максимального элемента изображения. Если она превышает величину регистра, регистр максимального элемента изображения обновляется в следующий цикл синхронизации. В конце видеостроки максимальный элемент изображения будет содержать максимальную величину по всей части строки, в отношении которой это было возбуждено. В начале следующей видеостроки величина регистра максимального элемента изображения загружается в регистр максимальной строки.

Детектор минимальной строки 1022 функционирует идентичным образом за исключением, что регистр минимальной строки будет содержать величину минимального элемента изображения предшествующей строки. Величина минимального элемента изображения устанавливается в исходное положение на значение 7Fh, что является величиной максимально возможного элемента изображения для восьмибитового числа в формате двух дополнений.

Выходная секция 1024 будет брать величину регистра максимальной строки и величину регистра минимальной строки и загружать их в восьмибитовые защелки, которые обновляются раз каждую строку. Затем вычисляются два градиента, именно, положительный градиент и отрицательный градиент. На первой строке в зоне, где любой

из этих градиентов положительный и больше, чем программируемый порог, генерируется возбуждающий сигнал, который дает возможность загружать регистр первой строки величиной отсчета текущей строки. На каждой стороне, где любой из градиентов положительный и превышает запрограммированный порог, генерируется другой возбуждающий сигнал, который дает возможность загружать в регистр последней строки величину отсчета текущей строки. В результате этого регистр последней строки будет содержать последнюю строку в зоне, где порог был превышен. Эти оба возбуждающие сигналы могут появляться только между строками 24 и 250 в каждой зоне. Это устраняет ошибочное детектирование, основанное на близком скоплении информации и переходах переключения головки VCR. В начале каждой зоны схема снова устанавливается в исходное положение, и величины в регистрах первой строки и последней строки загружаются в соответствующие регистры конца почтового ящика. Сигналы VTRBX_BEG и VTRBX_EN означают соответственно начало и конец сигнала почтового ящика.

Фиг. 49 показывает автоматический детектор почтового ящика как часть управляющей схемы вертикальным размером 1030. Схема управления вертикальным размером содержит детектор почтового ящика 1032, схему управления вертикальным дисплеем 1034 и трехпозиционное выходное устройство 1036. Альтернативно импульсы вертикального бланкирования и вертикальной установки в исходное положение могут передаваться как отдельные сигналы. В соответствии с вариантом реализации изобретения схема автоматического детектирования почтового ящика может автоматически выполнять вертикальную трансформацию или расширение сигнала с соотношением формата дисплея 4х3, который включает дисплей почтового ящика с соотношением формата дисплея 16х9. Когда выходной сигнал VERTICAL SIZE ADJ становится активным, высота вертикального отклонения увеличивается на 4/3 схемой 500 вертикального размера, показанной на фиг.22, которая возбуждает активную видеочасть сигнала почтового ящика, чтобы заполнить широкий экран без искажения соотношения сторон изображения. Еще в другом альтернативном варианте, не показанном на чертежах, автоматический детектор почтового ящика может содержать схему для декодирования кодового слова или сигнала, передаваемого источником сигнала почтового ящика, который идентифицирует сигнал как формат почтового ящика.

Схема управления вертикальным дисплеем 1034 также управляет, какая часть раstra заходящей развертки за предел полезной площади экрана будет визуализирована на экране, средство, именуемое как вертикальное панорамирование. Если вертикально заходящий за пределы полезной площади экрана видеосигнал не находится в формате почтового ящика, традиционное изображение формата дисплея может быть подвергнуто трансфокации, т.е. расширению, чтобы имитировать широкоэкранный формат. Однако в этом случае части изображения,

срезанного вертикально заходящего изображения, в формате 4/3, будут содержать активную видеoinформацию. Необходимо вертикально срезать 1/3 изображения. При отсутствии дальнейших управляющих средств 1/6 верхней части и 1/6 нижней части всегда будут срезаны. Однако содержание изображения может диктовать, чтобы больше верхней, чем нижней части изображения было срезано или наоборот. Если все действие происходит на уровне земли, например, телезритель может предпочитать срезать больше небо. Возможность вертикального панорамирования предоставляет выбор, какая часть расширенного изображения будет показана и какая часть будет срезана.

Вертикальное панорамирование поясняется со ссылкой на фиг. 23 и 24(а) - (в). Трехуровневый полный вертикальный бланкирующий/восстанавливающий в исходное положение сигнал показан наверху фиг. 23. Эти сигналы могут быть генерированы раздельно. Вертикальный бланкирующий импульс начинается с момента, когда сигнал L_COUNT равен VERT_BLNKO, и оканчивается, когда L_COUNT равен VERT_BLNKI. Импульс вертикальной установки в исходное положение начинается с момента, когда L_COUNT равен VERT_PHASE, и длится в течение 10 горизонтальных строк. L_COUNT является выходом десятибитового счетчика, используемого для поддержания траектории горизонтальных половинных строк относительно переднего фронта VSYNC_MN. VSYNC_MN является синхронизированным вариантом VDRV_MN, который является компонентом вертикальной синхронизации основного сигнала, образованного для матрицы логических элементов. VERT_BLNKO и VERT_BLNKI генерируются микропроцессором в зависимости от команды вертикального панорамирования. VERT_PHASE программирует относительную фазу выходного сигнала VERT_RST относительно переднего фронта компонента вертикальной синхронизации в выходном сигнале COMP_SYNC. Выходной сигнал COMP_SYNC является выходом триггера J-K. Состояние триггера определяется декодированием выходных сигналов L_COUNT и H_COUNT. H_COUNT представляет счетчик горизонтального положения. Счетчик L_COUNT используется для сегментирования сигнала COMP_SYNC на три соответствующих сегмента, представляющих импульс горизонтальной синхронизации, импульс уравнивания и импульс вертикальной синхронизации.

Ток вертикального отклонения для незаходящей за пределы полезной площади экрана развертки, который фактически соответствует нормальной 6% заходящей за пределы развертки, показан пунктирными линиями, как соответствующий сигналу вертикального бланкирования. Ширина импульса вертикального бланкирования для незаходящей за пределы развертки обозначена С. Импульс вертикальной синхронизации находится в фазе с импульсом вертикальной установки в исходное положение. Ток вертикального отклонения для режима выходящей за пределы полезной площади экрана развертки показан сплошной линией, как соответствующий импульсу

вертикального бланкирования, имеющему ширину импульса D.

Если нижняя часть заходящей за пределы развертки равна верхней части В заходящей за пределы развертки, дисплей будет таким, как показано на фиг. 24(а). Если импульс вертикальной установки в исходное положение генерирован таким образом, что запаздывает или отстает от импульса вертикальной синхронизации, нижняя часть А заходящей развертки будет меньше, чем верхняя часть В заходящей развертки, приводя к дисплею, показанному на фиг. 24(б). Это является вниз направленным вертикальным панорамированием, визуализирующим нижнюю часть изображения и бланкирующим верхнюю треть изображения. Наоборот, если импульс вертикальной установки в исходное положение генерирован так, что опережает импульс вертикальной синхронизации, нижняя часть А заходящей развертки будет больше, чем верхняя часть В заходящей развертки, приводя к дисплею, показанному на фиг. 24 (в). Это является направленным вверх вертикальным панорамированием, визуализирующим верхнюю часть изображения и бланкирующим нижнюю треть изображения. Относительная фаза сигнала вертикальной синхронизации и сигнала вертикальной установки в исходное положение управляются средством WSP μP 340 для возможности возбуждения вертикального панорамирования во время работы в режиме заходящей за пределы полезной площади экрана развертки. Следует отметить, что растр с заходящей разверткой остается вертикально центрированным или симметричным на электронно-лучевой трубке или экране во время вертикального панорамирования. Именно интервал бланкирования, который может вертикально перемещаться или позиционироваться, располагается асимметрично относительно центра растра, с тем чтобы бланкировать больше изображения вверху, чем внизу или наоборот.

Широкоэкранный телевизионный система согласно различным вариантам реализации изобретения может расширять и сужать видеосигналы в горизонтальном направлении путем использования адаптивных фильтров интерполятора. Интерполяторы в отношении компонентов яркости основного и вспомогательного сигналов могут быть сдвиговыми коррекционными фильтрами типа, описанного в патенте США N 4.694.414 на имя Кристофера. Четырехточечный интерполятор, как в нем описано, содержит двухточечный линейный интерполятор и взаимодействующий фильтр и умножитель, соединенный каскадом для обеспечения компенсации амплитуды и фазы. В целом четыре выборки смежных данных используются для вычисления каждой интерполированной точки. Входной сигнал подается на двухточечный линейный инвертор. Задержка, приданная входному сигналу, пропорциональна величине сигнала управления задержкой (К). Амплитудные и фазовые ошибки задержанного сигнала сводятся до минимума путем подачи коррекционного сигнала, полученного дополнительным фильтром и умножителем, соединенных каскадом. Этот корректирующий

сигнал обеспечивает подъем частотной характеристики, что уравнивает частотную характеристику фильтра двухточечного линейного интерполятора в отношении всех величин (K). Оригинальный четырехточечный интерполятор оптимизируется для использования с сигналами, имеющими полосу пропускания $fS/4$, где fS есть частота выборки данных.

Альтернативно и в соответствии с вариантами реализации изобретения оба канала могут использовать то, что именуют двухстадийным интерполяционным процессом. Амплитудно-частотная характеристика оригинального переменного интерполяционного фильтра может быть улучшена путем использования такого двухстадийного процесса. Этот процесс здесь и далее именуется как двухстадийный интерполятор. Двухстадийный интерполятор согласно варианту реализации изобретения содержит фильтр FIR (импульсная характеристика с конечной длительностью) с $2fS + 4$ выводами с фиксированными коэффициентами и четырехточечный переменный интерполятор, как показано на фиг. 56 - 57. Выход фильтра FIR пространственно расположен посередине между входными выборками элементов изображения, как показано на фиг. 56. Выход фильтра FIR затем объединяется путем чередования с первоначальными выборками данных, которые задерживаются для создания эффективной $2fS$ частоты выборки. Это является действительным предположением в отношении частот в полосе пропускания фильтра FIR. В результате эффективная полоса пропускания оригинального четырехточечного интерполятора значительно увеличивается.

Компенсационный переменный интерполяционный фильтр предшествующего уровня техники обеспечивает точно интерполированные выборки, пока частотные компоненты сигнала не больше, чем одна четвертая часть частоты выборки - $1/4 fS$. Двухстадийный способ может использоваться в отношении сигналов, имеющих частотные компоненты по существу больше, чем $1/4 fS$, как показано на блок-схеме в отношении двухстадийного интерполятора 390 на фиг. 58. Сигнал DS_A цифровых выборок при частоте выборки fS является входным сигналом на фильтр FIR, например фиксированный фильтр FIR 391. Фильтр FIR 391 генерирует из сигнала DS_A другой сигнал DS_B цифровых выборок, которые также на частоте выборки fS , но которые временно расположены между величинами первого сигнала DS_A , например, в средней точке между каждыми величинами. Сигнал DS_A также является входным на схему задержки 392, которая образует сигнал DS_C цифровых выборок, идентичный сигналу DS_A , но задержанный по времени на $(N+1)/fS$. Потоки данных DS_B и DS_C объединяются путем чередования в мультиплексоре 393, приводя к потоку данных величин DS_D на двойной частоте выборки $2fS$. Поток данных DS_D является входом на компенсационный переменный интерполятор 394.

В общих словах фиксированный (неперестраиваемый) фильтр FIR выполнен, чтобы точно производить величины выборки, соответствующие временным точкам точно на

полпути между положениями поступающих выборок. Они затем подвергаются чередованию с задержанными, но в остальном немодифицированными выборками, образуя поток данных с частотой выборок $2fS$. Фильтр FIR может быть наиболее выгодно выполнен путем использования четного числа симметрично взвешенных выводов. Например, восьмивыводной фильтр, имеющий веса выводов:

$-1/32, 5/64, -11/64, 5/8, 5/8, -11/64, 5/64, -1/32$

будет точно интерполировать сигналы, имеющие частотные компоненты примерно до $0,4fS$. Так как частота данных дублирована до $2fS$ в результате чередования, обработанный переменным интерполятором никогда не содержат частотных компонентов выше, чем $1/4$ частоты выборки.

Преимущество двухстадийного интерполятора состоит в возможности точного интерполирования сигналов с шириной полосы частот примерно $1/2$ частоты выборки. Таким образом, система лучше всего соответствует для режимов дисплея, требующих временного расширения, как трансфокация, где объект должен поддерживаться в первоначальной полосе частоты как можно длительнее. Это относится к широкоэкранной системе телевидения, в частности вспомогательному каналу, где вспомогательный сигнал сначала выбирается на явно низкой частоте, как, например, 10 МГц. Сохранение как можно длительнее ширины полосы частот может быть важным.

Двухстадийный интерполятор 391, соответствующий для применения с трансфокацией, показан на блок-схеме на фиг. 59. Компоненты, общие с интерполятором 390, показанном на фиг. 17, имеют те же цифровые позиции, как это сделано и с обозначениями потоков данных. Цель двухстадийного интерполятора 390 состоит в трансфокации поступающего изображения по горизонтали на коэффициент m , где m больше, чем 2,0. Таким образом, если сигналы входящих данных и выходящих данных происходят на одной и той же частоте выборки fIN , должно быть генерировано m выходных выборок для каждой выходной выборки. Сигнал загружается в память строк FIFO 395 на частоте fIN , и часть его считывается затем как поток данных DS_A на сниженной частоте fS . Синхросигнал на частоте fS состоит из подмножества синхроимпульсов fIN и не имеет однообразного периода.

Поток данных DS_B , соответствующий величинам выборок на полпути между существующими выборками потока данных DS_A , предполагаются использующими фиксированный фильтр FIP 391, затем подвергаются чередованию с задержанными выборками потока данных DS_C для образования потока данных DS_D на двойной частоте. Поток данных DS_D , имеющий двойную плотность первоначальной выборки, тогда обрабатывается переменным интерполятором 394 для образования величины выборки для каждого периода fIN . Схема накопителя, включающая защелку 398 и сумматор 399, генерирует выходной сигнал, который имеет приращения $\tau = 2/m$ каждый синхропериод fIN . Фракционная часть

управляет переменным интерполятором путем подачи величины К из защелки 398. Несущий целый число выход (СО) генерирует синхросигнал 2fS посредством защелки 397 для считывания FIFO 395 и сдвига данных посредством фильтра FIR 391, схемы задержки 392, мультиплексора 393 и интерполятора 394. Делитель 396 образует сигнал fS из сигнала 2fS.

В соответствии с дальнейшими отличительными признаками изобретения интерполятор может быть выполнен с возможностью проведения буферизации видеосигналов основного и вспомогательного канала без дополнительной строчной памяти, что создает преимущество. Поэтому память срок основного канала становится также памятью дисплея. Необходимость в существующих переменных интерполяционных фильтрах связана с необходимостью в двух умножениях, как это следует из описания фильтра, показанного на фиг. 12 патента США N 4.694.414. Первое умножение производится на коэффициент С, 2-битовое число. Второе умножение производится на коэффициент К. Коэффициент К является 5-битовым числом в рассматриваемом случае, где $K = 16/16$. Есть два возможных пути, чтобы избежать необходимость 5-битового умножения. Первый, умножить на 1-К вместо умножения на К; и никогда не выбирать К=0 в качестве точки дисплея. В альтернативном случае, умножить на К; и никогда не выбирать К=1 в качестве точки дисплея.

Упрощенный умножитель для интерполятора разрешающей способности 1/16 или 1/32 показан на фиг. 61. Умножитель дает возможность умножить переменное "а" на 5-битовое переменное "b", где "b" = (b₄, b₃, b₂, b₁, b₀). Выбранное b₀ является самым младшим разрядом (LSB), и выражение b₄ является самым старшим разрядом (MSB). Величины "b" будут ограничены до целых чисел от 0 до 16 включительно, хотя аналогичный способ может использоваться для создания более сложных умножителей. Например, умножитель для целых чисел от 0 до 32 может быть выполнен на том же принципе. Обусловленный умножитель на 2 умножает выход предшествующего сумматора на 2, когда b = 10000. Функция обусловленного умножения на 2 может быть реализована, например, посредством сдвигового регистра или мультиплексора.

Величины К и С могут быть загружены в блок памяти, и в зависимости от требуемого ускорения счетчик может индексировать указатель считывания для обращения к требуемой ячейке памяти и загрузить К и С в умножители интерполятора. Это очень выгодно, так как дает возможность кодировать величину С в величине К, так что одно 4-битовое или 5-битовое слово может нести обе величины К и С. Следует отметить, что $C = f(K)$. Таблица соответствующих величин К и С показана на фиг. 62, где К есть 5-тибитовое число. В конфигурации, показанной на фиг. 63, может использоваться множество логических элементов ИЛИ для прямого определения величин С. Величины показаны на фиг. 64.

Возможны дополнительные реализации для достижения отличающейся функции $C = f(K)$, как показано посредством

альтернативного декодера на фиг. 65. Например, с помощью этой схемы декодирования только несколько логических элементов может устранить необходимость в справочной таблице чипа или дополнительных регистрах, чтобы сохранить величины С. Коэффициент К может быть более просто декодирован путем использования схемы, показанной на фиг. 66.

Двухстадийная интерполяция, как пояснено в связи с фиг. 56-58, может быть оптимизирована, чтобы превосходить 0,25 fS, где fS есть первоначальная частота выборки, альтернативным образом по сравнению с пояснением в связи с фиг. 59. Частотные кривые на фиг. 67 показывают, что для величин $K = (0, 1/8, 2/8 \dots 1)$ отклонение в амплитудно-частотных характеристиках на частоте 0,25fS, в выражениях величины составляют 0,5 дБ. Видимые артефакты можно предполагать происходят в случае, когда амплитудно-частотная характеристика разных интерполяционных фильтров больше, чем 0,5 дБ. Некоторые имитации показывают, что видимые артефакты могут происходить в случае, когда амплитудно-частотные характеристики отклоняются более, чем 1,0 дБ. Таким образом индивидуальная характеристика горизонтального интерполятора в отношении выбранных величин К должна создавать пакет таких характеристик, что кривые частотных характеристик не будут содержать частот с отклонением более 1,0 дБ, как показано на фиг. 67. Критическая частота, при которой артефакты могут считаться видимыми, обозначена f_c. Практически графические кривые отсечной частоты или расхождения амплитудно-частотных характеристик должны быть как можно больше снижены ниже f_c.

Чтобы расширить ширину полосы частот интерполятора согласно другому отличительному признаку изобретения, может быть предусмотрена схема компенсации с 2n+4 выводами, которая будет расширять величину f_c в отношении всего горизонтального интерполятора. Кроме того, такая схема компенсации может быть выполнена без добавления дополнительной контрольной переменной и тем самым дополнительной степени свободы.

Нижеследующая схема компенсации для линейного интерполятора может расширять критическую частоту f_c всего интерполятора до $0,7 \cdot fS/2$ или $0,35 fS$, используя критерий максимально допустимого пакета 0,5 дБ. Если используется критерий 1,0 дБ, тогда кривые расходятся при $fS = 0,75 \cdot fS/12 = 0,375 fS$. Далее, если величины $K = 0,1$ устраняются из схемы, так что их выбирать не требуется, ширина полосы частот может быть расширена даже немного за эту f_c. Кроме того, величина образования резких максимумов может управляться путем подбора величины С.

Восьмиточечный интерполятор может быть образован с помощью линейного интерполятора и фильтра FIR с 8 выводами для обеспечения амплитудной и фазовой компенсации. В целом интерполятор может быть описан как

$$C/2 \cdot Z^{-1}(C^{-3/2}) + (Z^{-2}(K+C) + Z^{-3}(1-K+C) - Z^{-4}(3/2)(C) + (C/2)(Z^{-5}))$$

для величин $K = (0, 1/16, 2/16 \dots 1)$

Отношение между К и С показано в таблице и графике на фиг. 68 и 69. Группа

кривых показывает неровность (пульсацию) меньше, чем 1,5 дБ в полосе пропускания. Критическая частота определяется как $f_c = 0,7 \cdot f_s/2$ в отношении этой компенсационной схемы.

Этот отличительный признак изобретения может быть распространен на схему компенсации с 8 выводами, которая обеспечивает дополнительную используемую ширину полосы. Восемиточечный интерполятор может быть образован компенсационным фильтром FIR с 8 выводами (отводами) и двухточечным линейным интерполятором, как показано на фиг. 70.

Три таких компенсационных схемы могут быть выражены следующим образом:

$$(1) \ C/4 + Z^{-1}(3/4)(C) + Z^{-2} - 3/2(C) + Z^{-3} (K+C) + (1-K+C)Z^{-4} + Z^{-5} \cdot (-3/2)(C) + Z^{-6}(3/4)(C) + Z^{-7}(-C/4),$$

$$(2) \ C/8 + Z^{-1}(5/8)(C) + Z^{-2}(-12/8)(C) + Z^{-3} (K+C) + Z^{-4}(1-K+C) + Z^{-5} \cdot (-12/8)(C) + Z^{-6}(5/8)(C) + Z^{-7}(-C/8),$$

$$(3) \ C/8 + Z^{-1}(C/2) + Z^{-2}(-11/8)(C) + Z^{-3} (K+C) + Z^{-4}(1-K+C) + Z^{-5}(-11/8)(C) + Z^{-6}(C/2) + Z^{-7}(-C/8),$$

где

$$K = (0, 1/16, 2/16 \dots 1).$$

Каждая имеет свою собственную отличающуюся характеристичную полосу пропускания и преимущества. Таблица величин K и C не показаны для варианта на фиг. 70. Величина C может быть выбрана такой, которая дает наилучший набор кривых в отношении конкретного сжатия или расширения в целом.

Управляющий сигнал посылает величину K на линейный интерполятор. Величина K декодируется для получения величины C для умножителя схемы компенсации. Коэффициенты FIR являются множителями для C во всех уравнениях интерполятора. Например, приведенное выше уравнение (1) может иметь веса выводов $(-1/4, 3/4, -3/2, 1, 1, 3/4, -1/4)$.

Этот отличительный признак изобретения может быть распространен вообще на фильтры FIR с 2n выводами, используемые в качестве схемы компенсации, хотя может оказаться значительно более трудным использовать только два линейных умножителя для вычисления линейной интерполяции и взаимодействующей схемы компенсации. Альтернативой фильтру FIR с 10 выводами, например, является создание восьмивыводного фиксированного фильтра FIR для выводов с Z^{-1} по Z^{-6} , с выводами Z^0 и Z^{-7} , зависимыми от любой величины K или C. Это является возможным, так как K близка к величине 1/2 с любого направления, т.е. K=0 или K=1, амплитудно-частотная характеристика требует дополнительной компенсации для расширения своей полосы пропускания.

Блок-схема специфической схемы 1150 для реализации восьмивыводного двухстадийного фильтра с использованием четырехточечного интерполятора показана на фиг. 60. Видеосигнал яркости, подлежащий расширению или сжатию, является входным сигналом на схему 1152 горизонтальной задержки строки. Выходы задержанной строки $Z^0, Z^{-1}, Z^{-2}, Z^{-3}, Z^{-4}, Z^{-5}, Z^{-6}$ и Z^{-7} являются

входными сигналами на восьмивыводной фильтр FIR 1154. Фильтр FIR генерирует по крайней мере одну группу промежуточных выборок, обозначенных 1, например между каждой из реальных выборок, обозначенных Z. Результаты иногда могут быть улучшены путем использования множества фильтров FIR для генерирования множества групп промежуточных точек, хотя это значительно увеличивает сложность системы. Такие дополнительные фильтры FIR, каждый из которых требует схему задержки Z^{-1} , показаны в виде многочисленных представлений фильтра FIR 1154 и схемы задержки Z^{-1} 1158. Выходы Z^{-3}, Z^{-4} и Z^{-5} также являются входными сигналами на схему выборки данных 1160, как варианта 1:1 его, задержанного схемой 1158. Выходы $Z^{-(3+n)}, Z^{-(4+n)}$ также являются входными сигналами на схему селектора данных 1160. Входные сигналы на схему селектора данных 1160 выбираются как являющиеся наиболее симметричными по отношению к задержке. Количество таких входных сигналов на единицу больше, чем количество точек интерполятора второй стадии, в рассматриваемом случае это четырехточечный интерполятор 41162. Относительное временное положение входных сигналов по отношению к селектору данных 1160 следующее:

$$Z^{-(3+n)}, Z^{-(4+n)}, Z^{-(5+n)}$$

Схема селектора данных 1160 может быть матрицей мультиплексоров, например, управляемых управляющим сигналом MUX_SEL. Выбираемые группы обозначены схематически и расположены так, что каждая интерполяция интерполятора 1162 основана на двух реальных точках и двух промежуточных точках. Выходы Y0, Y1, Y2 и Y3 схемы 1160 селектора данных соответствуют одной из двух выбираемых групп и являются входными сигналами на четырехточечный интерполятор 1162. Функционирование управляющего сигнала мультиплексора MUX_SEL будет функцией величин K, т.е. $MUX_SEL = f(K)$. Выбор MUX_SEL зависит от того, какая из промежуточных точек оказывается между первоначальными точками. Выходной сигнал $Y_{вых}$ интерполятора 1162, функционирование которого реагирует на управляющие величины K и C, является расширенным или сжатым видеосигналом яркости.

Формула изобретения:

1. Система дисплея, включающая средство дисплея (244, 115), имеющее первое соотношение сторон формата дисплея, средство (50, 113) картографирования выходного видеосигнала (Y_MX, U_MX, V_MX), на средстве дисплея (244, 115) каждый из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) имеет одно из различных соотношений сторон формата дисплея, средство (304, 306) для обработки по меньшей мере двух видеосигналов из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$), по мере необходимости, для совместимости одного с другим и со средством дисплея (244, 115), средство переключения (SW1, SW2, SW3, SW4) для объединения первого и второго видеосигналов из числа видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) в качестве

входных сигналов в средство обработки (304, 306), средство (312) выборки в качестве выходного видеосигнала (Y_{MX}, U_{MX}, V_{MX}) одного из первого и второго сигналов из числа видеосигналов ($Y_{MN}, U_{MN}, V_{MN}; Y_{AUX}, U_{AUX}, V_{AUX}$) в обработанном виде, так что изображение, представленное выходным видеосигналом (Y_{MX}, U_{MX}, V_{MX}), является дисплеем одинарного изображения, и объединения первого и второго сигналов видеосигналов ($Y_{MN}, U_{MN}, V_{MN}; Y_{AUX}, U_{AUX}, V_{AUX}$) в обработанном виде, так что изображение, представленное выходным видеосигналом (Y_{MX}, U_{MX}, V_{MX}), является дисплеем множественного изображения, отличающаяся тем, что содержит средство (340) управления средством картографирования (50, 113), средством обработки данных (304, 306) и средством выборки (312) для регулирования каждого изображения, представленного в выходном видеосигнале (Y_{MX}, U_{MX}, V_{MX}) в соотношении формата дисплея и характеристическом отношении изображения во время отображений как одинарного изображения, так и множественного изображения.

2. Система по п.1, отличающаяся тем, что первое соотношение сторон формата дисплея является соотношением 4:3 широкоформатного дисплея.

3. Система по п.1, отличающаяся тем, что один видеосигнал из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) имеет первое соотношение 4:3 сторон формата дисплея средства дисплея (244, 115).

4. Система по п.3, отличающаяся тем, что первое соотношение сторон формата дисплея является соотношением широкоформатного дисплея.

5. Система по п.1, отличающаяся тем, что один сигнал из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) имеет второе соотношение 16:9 сторон формата дисплея, отличное от первого соотношения формата дисплея средства дисплея (244, 115).

6. Система по п.5, отличающаяся тем, что первое соотношение сторон формата дисплея является соотношением широкоформатного дисплея.

7. Система по п.1, отличающаяся тем, что два сигнала из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) имеют второе соотношение 16:9 сторон формата дисплея, отличное от первого соотношения формата дисплея средства дисплея (244, 115).

8. Система по п.7, отличающаяся тем, что первое соотношение сторон формата дисплея является соотношением широкоформатного дисплея.

9. Система по п.1, отличающаяся тем, что один сигнал из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) имеет первое соотношение сторон формата дисплея средства дисплея (244, 115), а еще один сигнал из множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$) имеет второе соотношение сторон формата дисплея, отличное от первого соотношения формата дисплея средства дисплея (244, 115).

10. Система по п.9, отличающаяся тем, что первое соотношение сторон формата дисплея является соотношением широкоформатного дисплея.

11. Система по п.1, отличающаяся тем, что средство обработки (304, 306) включает в себя средство выборочного срезывания и средство выборочной интерполяции каждого из первого и второго сигналов из числа множества видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$).

12. Система по п.1, отличающаяся тем, что средство картографирования (50, 113) включает в себя средство образования раstra для электронно-лучевой трубки (244).

13. Система по п.1, отличающаяся тем, что средство картографирования (50, 113) включает в себя средство (113) формирования дешифратора адреса для дисплея на жидких кристаллах (115).

14. Система по п.1, отличающаяся тем, что изображение выходным видеосигналом (Y_{MX}, U_{MX}, V_{MX}) является независимо регулируемым по размеру во взаимно перпендикулярных направлениях, причем средство картографирования (50, 113) обеспечивает регулирование размера изображения в одном из направлений, а средство обработки (304, 306) обеспечивает регулирование размера изображения в другом направлении из числа направлений.

15. Система по п.1, отличающаяся тем, что изображение, представленное выходным видеосигналом (Y_{MX}, U_{MX}, V_{MX}), является независимо регулируемым по размеру в горизонтальном и вертикальном направлениях, причем средство картографирования (50, 113) обеспечивает регулирование размера изображения в вертикальном направлении посредством управления высотой кадровой развертки, а средство обработки (304, 306) обеспечивает регулирование размера изображения в горизонтальном направлении интерполяцией выборок видеоданных.

16. Система по п.1, отличающаяся тем, что средство картографирования (50, 113) и средство видеотерминала (244, 115) выполнены с возможностью работы с нечересстрочными чередующимися видеосигналами ($Y_M, U_M, V_M; Y_A, U_A, V_A$), имеющими скорость строчной развертки, определяемую величиной $n f_H$, где f_H является обычной скоростью строчной развертки и n является целым числом, и включает в себя средство преобразования видеосигналов ($Y_M, U_M, V_M; Y_A, U_A, V_A$), имеющих чересстрочно чередующийся формат и скорость строчной развертки, определяемой величиной $n f_H$, в видеосигналы ($Y_{MN}, U_{MN}, V_{MN}; Y_{AUX}, U_{AUX}, V_{AUX}$), имеющие нечересстрочный чередующийся видеоформат и скорость строчной развертки, определяемую величиной $n f_H$.

17. Система по п.1, отличающаяся тем, что включает в себя второе средство выборки (60) для проведения выбора между выходным видеосигналом (Y_{MX}, U_{MX}, V_{MX}) и другим входным видеосигналом, который связан со средством картографирования (50, 113) по пути прохождения сигнала, который обходит средство обработки данных (304, 306).

18. Система дисплея, включающая средство дисплея (244, 115), имеющее соотношение сторон широкоформатного дисплея, средство (50, 113) картографирования выходного видеосигнала (Y_{MX}, U_{MX}, V_{MX}) на средстве дисплея

(244, 115), каждый из множества видеосигналов (Y_M,U_M,V_M;Y_A,U_A,V_A) имеет либо в общем обычное соотношение сторон формата дисплея, либо указанное в общем соотношение сторон широкоформатного дисплея средства дисплея (244, 115), первый и второй видеопроцессоры (304, 306), каждый из которых включает в себя средство срезывания и интерполирования видеосигналов (Y_M,U_M,V_M;Y_A,U_A,V_A) для соответствующего, по мере необходимости, манипулирования по меньшей мере двумя сигналами, из числа множества видеосигналов (Y_M,U_M,V_M;Y_A,U_A,V_A), средство переключения (SW1, SW2, SW3, SW4) для объединения первого и второго видеосигналов (Y_M,U_M,V_M;Y_A,U_A,V_A) в качестве входных сигналов в видеопроцессоры, средство (312) выборки в качестве выходного видеосигнала (Y_MX,U_MX,V_MX) одного из первого и второго сигналов из числа видеосигналов (Y_MN,U_MN,V_MN;Y_AUX,U_AUX,V_AUX) в обработанном виде, так что изображение, представленное выходным видеосигналом (Y_MX,U_MX,V_MX), является дисплеем одинарного изображения, и объединения первого и второго сигналов из числа видеосигналов (Y_MN,U_MN,V_MN;Y_AUX,U_AUX,V_AUX) в обработанном виде, так что изображение, представленное выходным видеосигналом (Y_MX,U_MX,V_MX), является дисплеем множественного изображения, отличающаяся тем, что содержит средство (340) управления средством картографирования (50, 113), первым и вторым видеопроцессорами и

средством выборки (312) для регулирования каждого изображения, представленного в выходном видеосигнале (Y_MX,U_MX,V_MX) в соотношении сторон формата дисплея и характеристическом отношении изображения, по мере необходимости, для выборочной реализации множества форматов дисплея множественного изображения на средстве видеотерминала (244, 115), причем некоторые форматы из числа множества форматов дисплея представляют различные сигналы из числа видеосигналов (Y_M,U_M,V_M;Y_A,U_A,V_A), имеющих соотношения сторон формата дисплея, отличающиеся друг от друга, и по меньшей мере одно из которых отличается от первого соотношения сторон формата дисплея средства видеотерминала (244, 115).

19. Система по п.18, отличающаяся тем, что каждое изображение в каждом формате из числа множества форматов дисплея по сути свободно от искажения характеристического отношения изображения.

20. Система по п.18, отличающаяся тем, что множество форматов дисплея состоит из основного изображения соотношения широкоформатного дисплея и наложенного вспомогательного изображения, имеющего обычное соотношение сторон формата дисплея, и основного изображения соотношения сторон формата дисплея и наложенного вспомогательного изображения, имеющего соотношение сторон широкоформатного дисплея.

21. Система по п.20, отличающаяся тем, что каждое изображение в каждом формате из множества форматов дисплея по сути свободно от искажения характеристического отношения изображения.

35

40

45

50

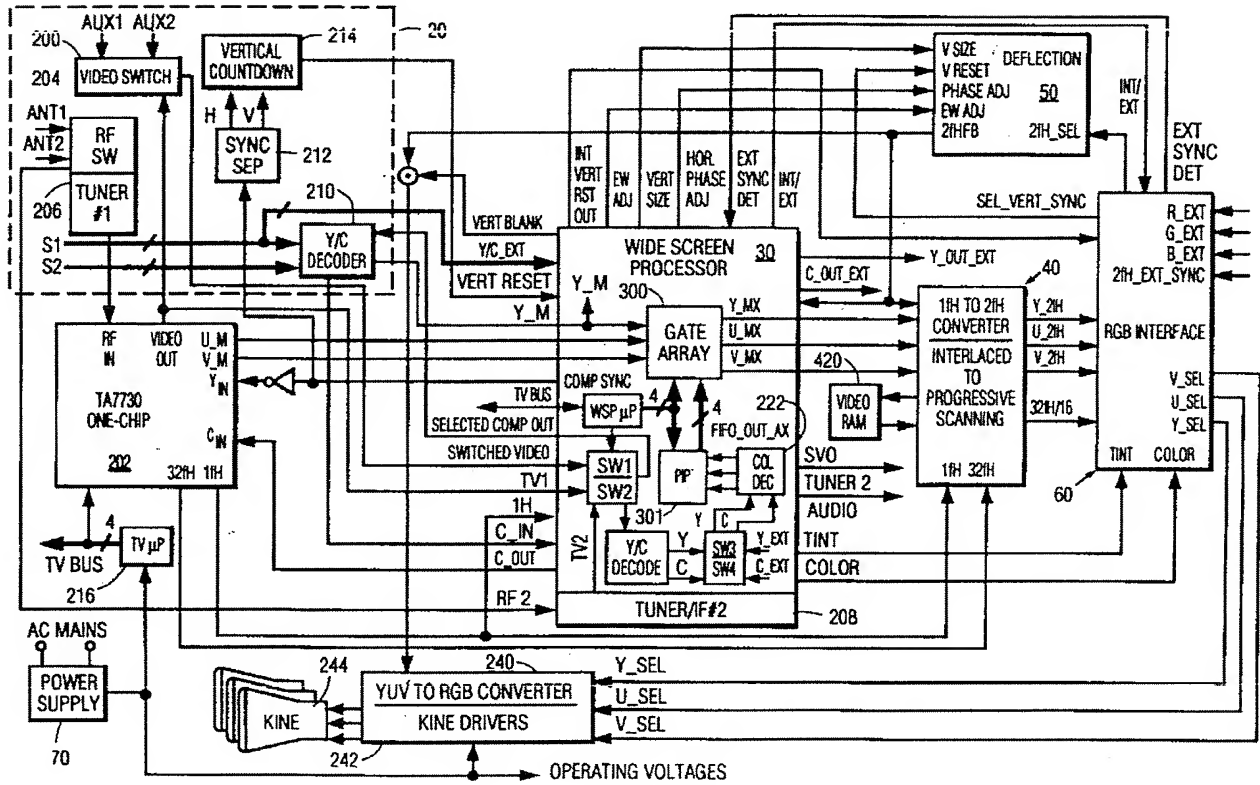
55

60

RU 2119187 C1

ТАБЛИЦА I

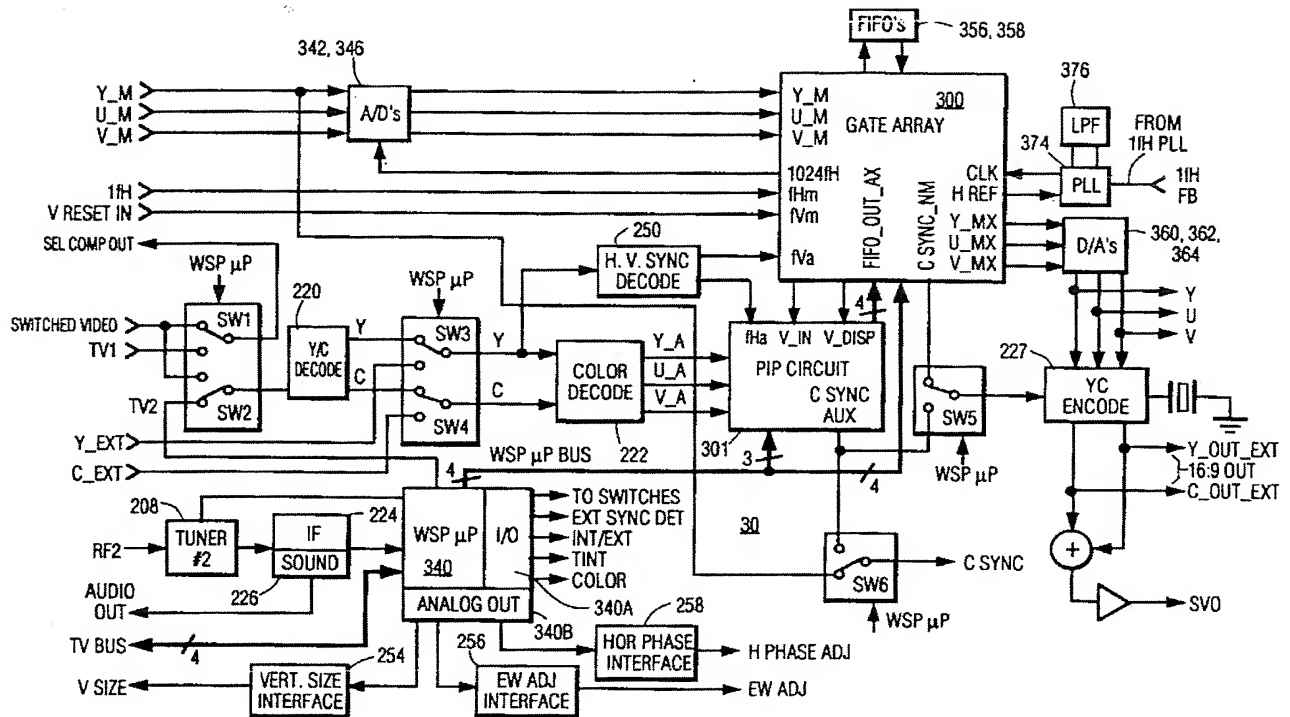
0I23	I023	20I3	30I2
0I32	I032	203I	302I
02I3	I230	2I03	3I20
023I	I203	2I30	3I02
03I2	I302	230I	320I
032I	I320	23I0	32I0



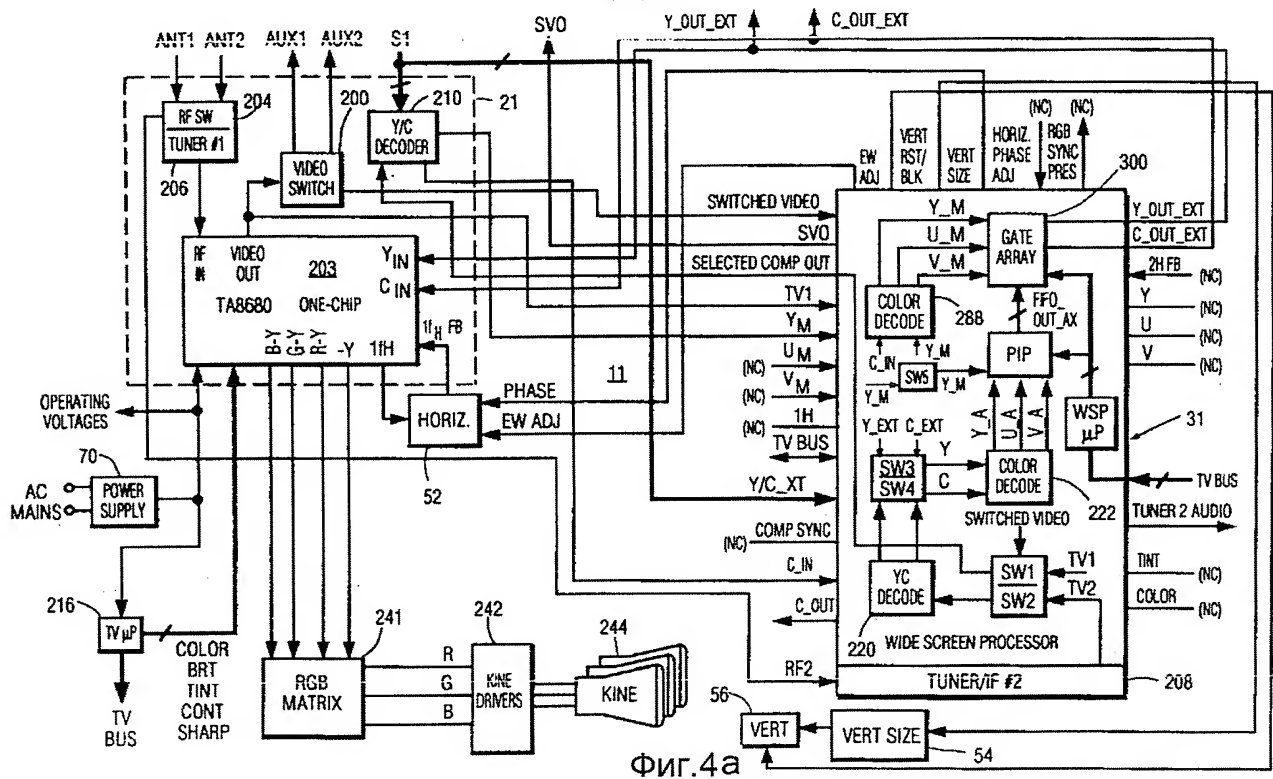
Фиг.2

RU 2119187 C1

RU 2119187 C1

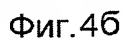


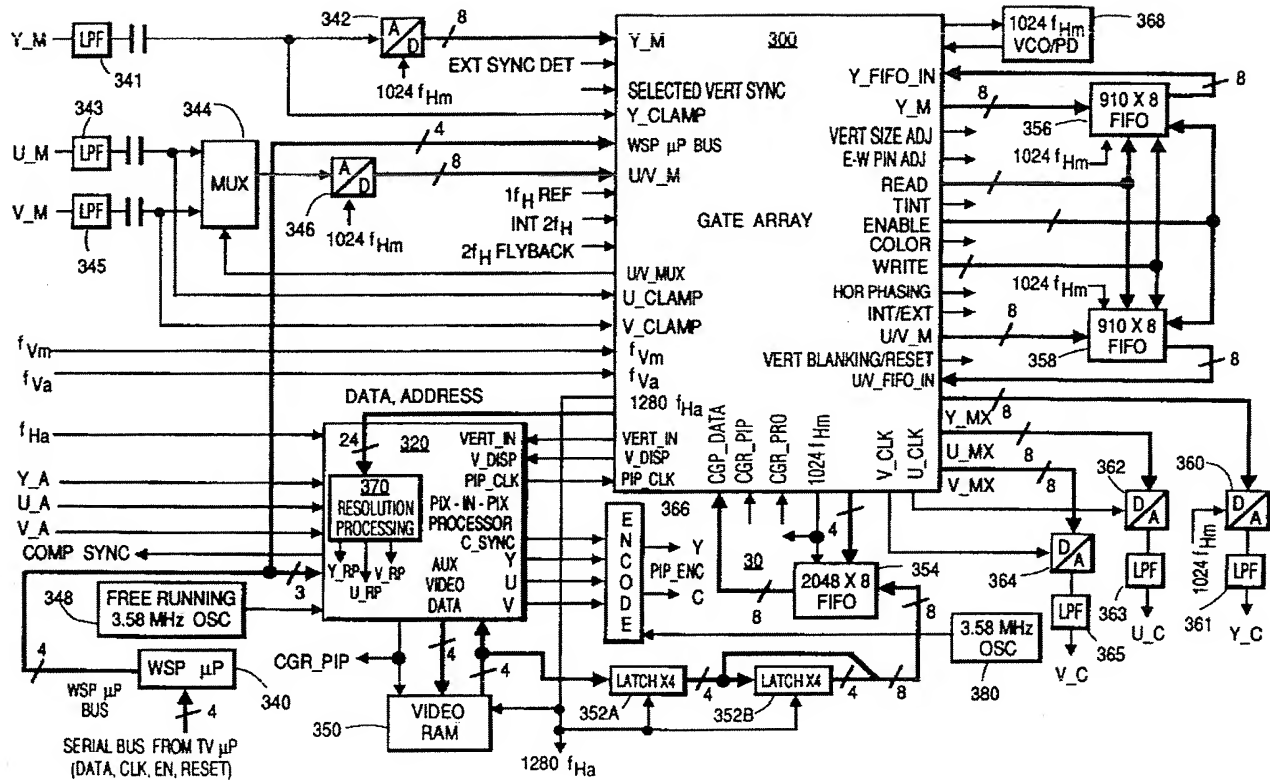
Фиг.3



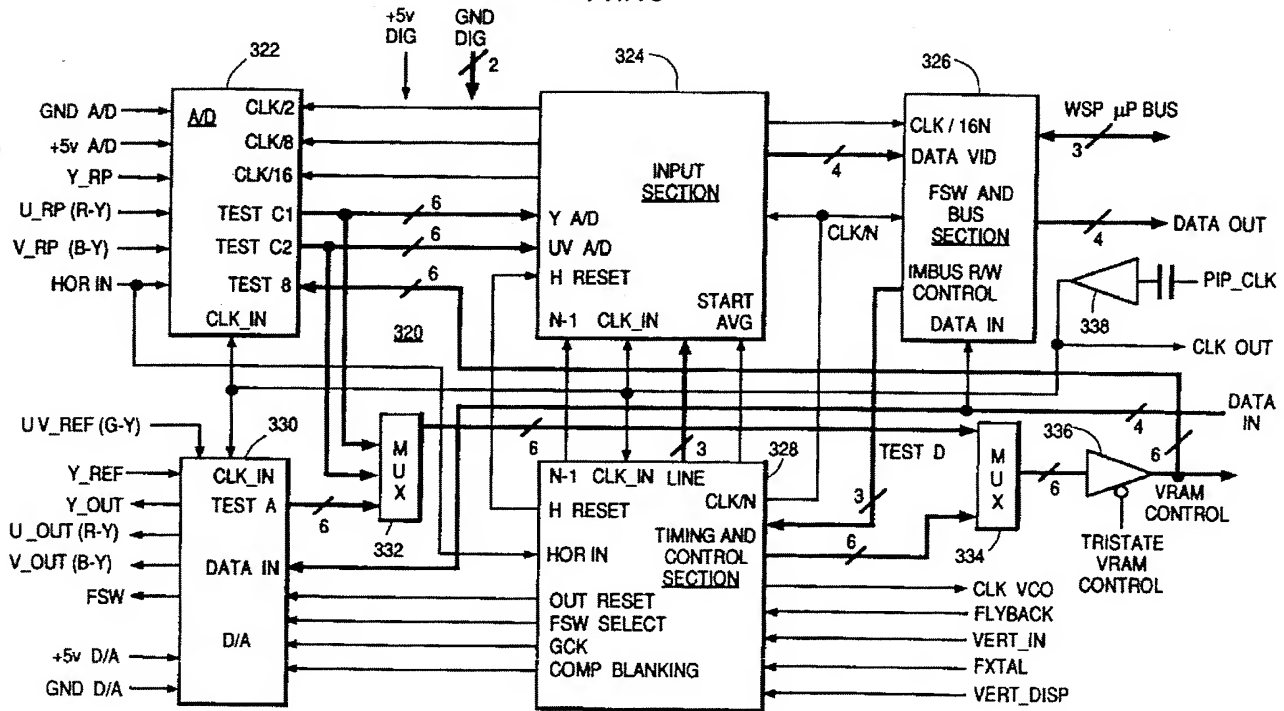
Фиг.4а

RU 2119187 C1

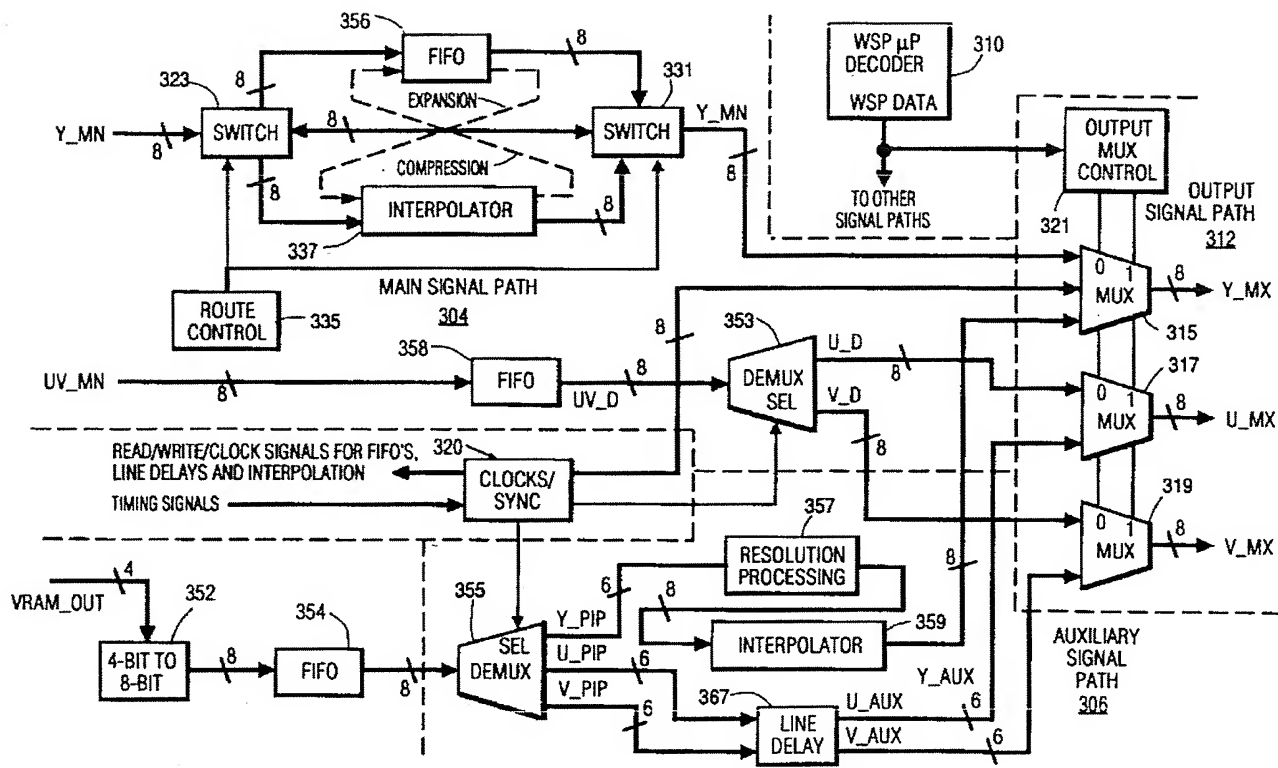




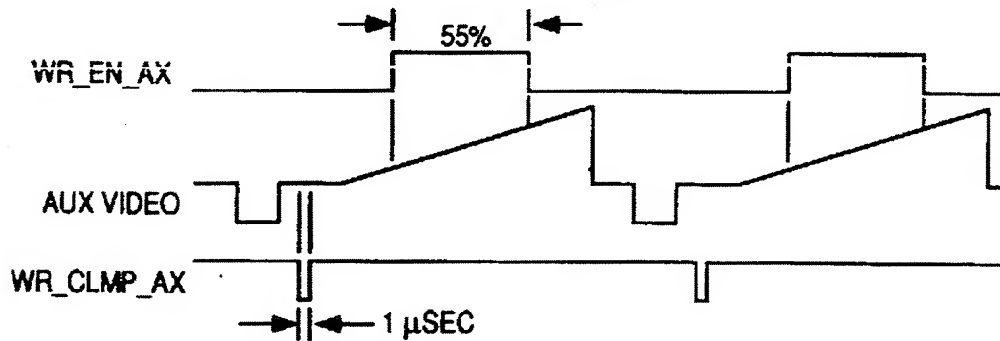
Фиг.6



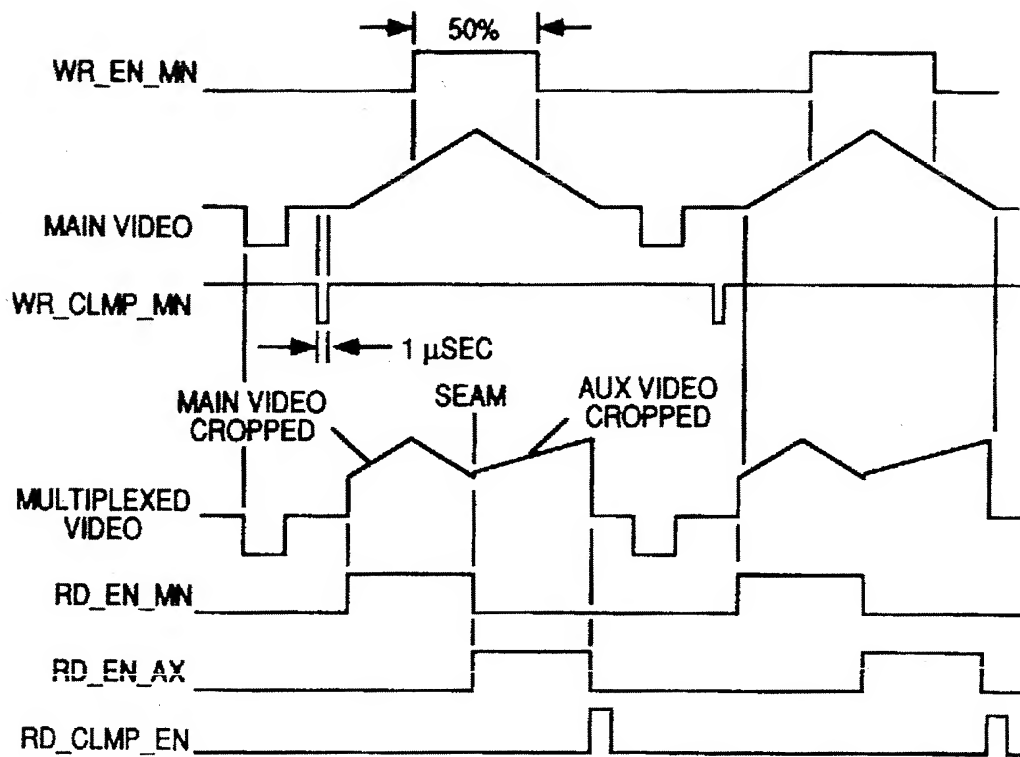
Фиг.7



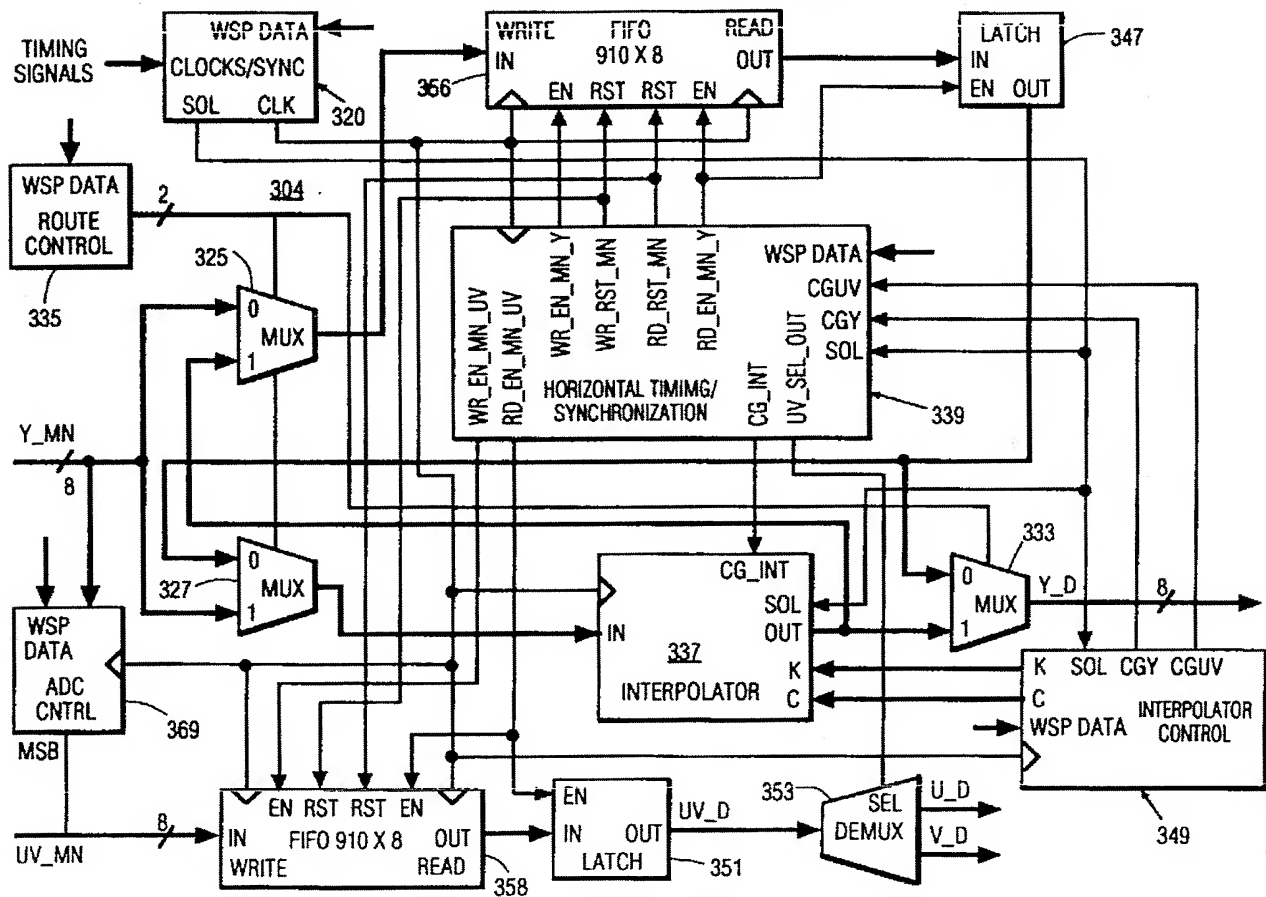
Фиг.8



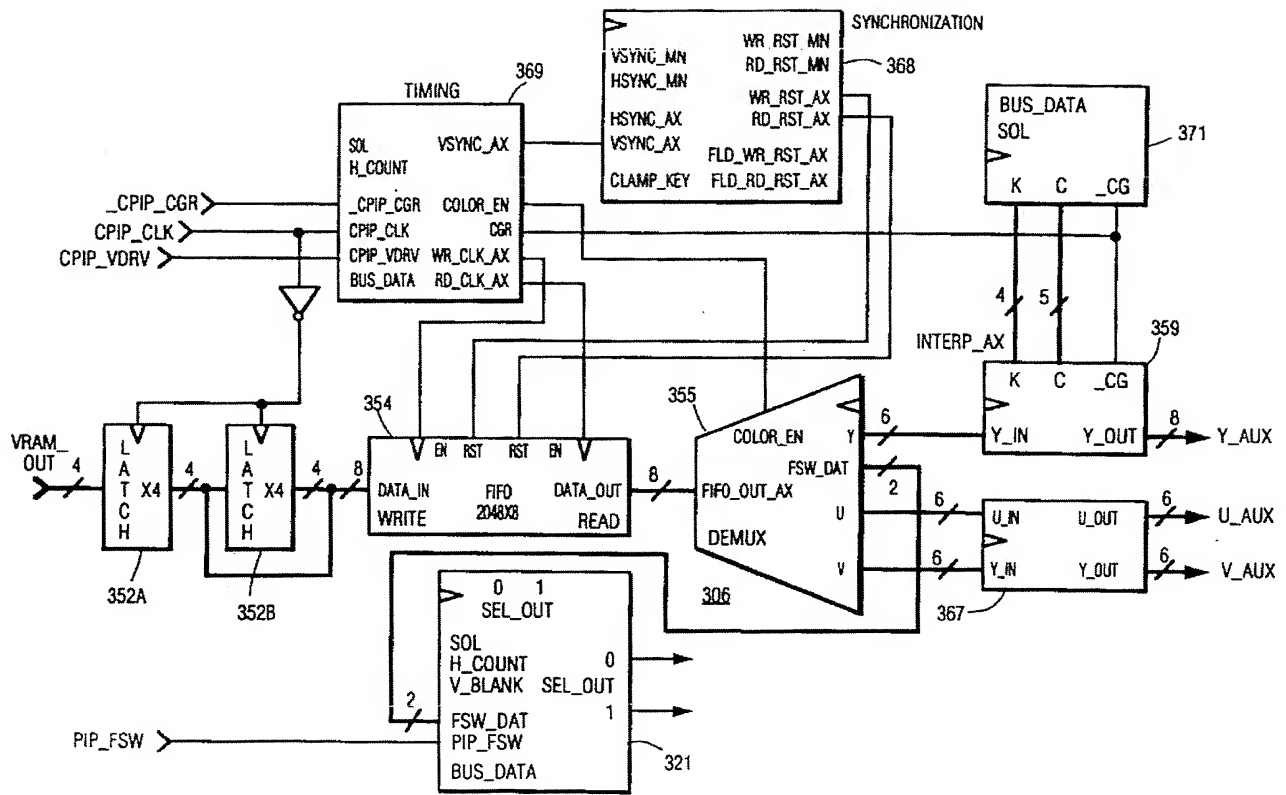
Фиг.9



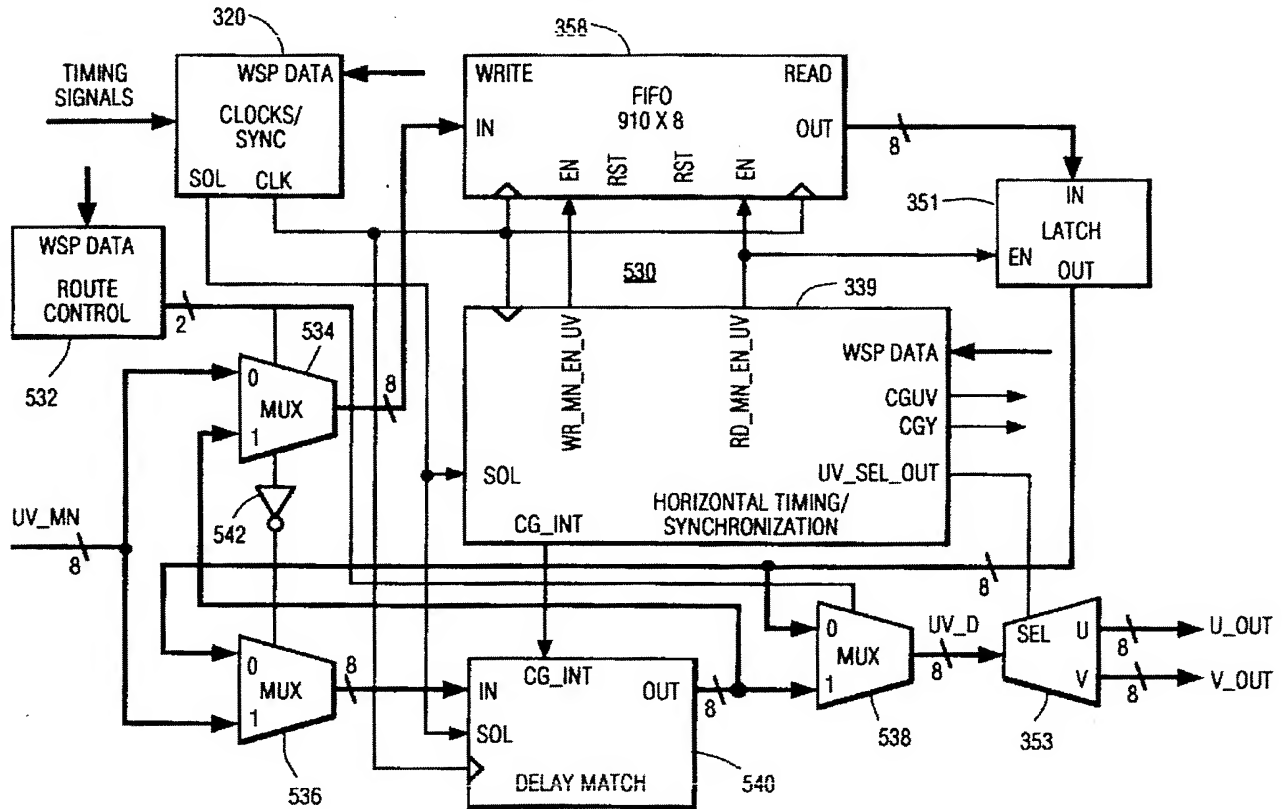
Фиг.10



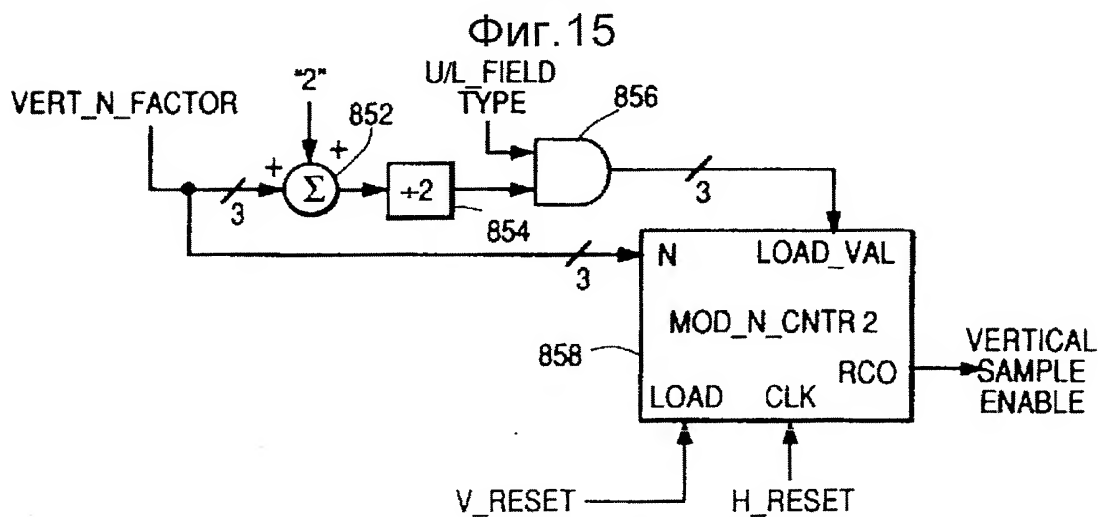
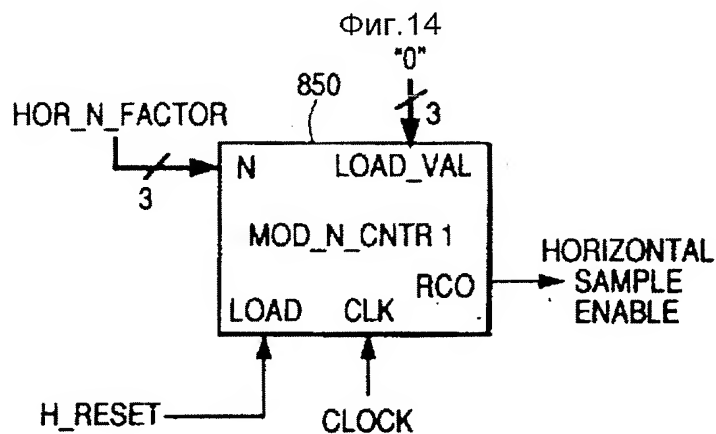
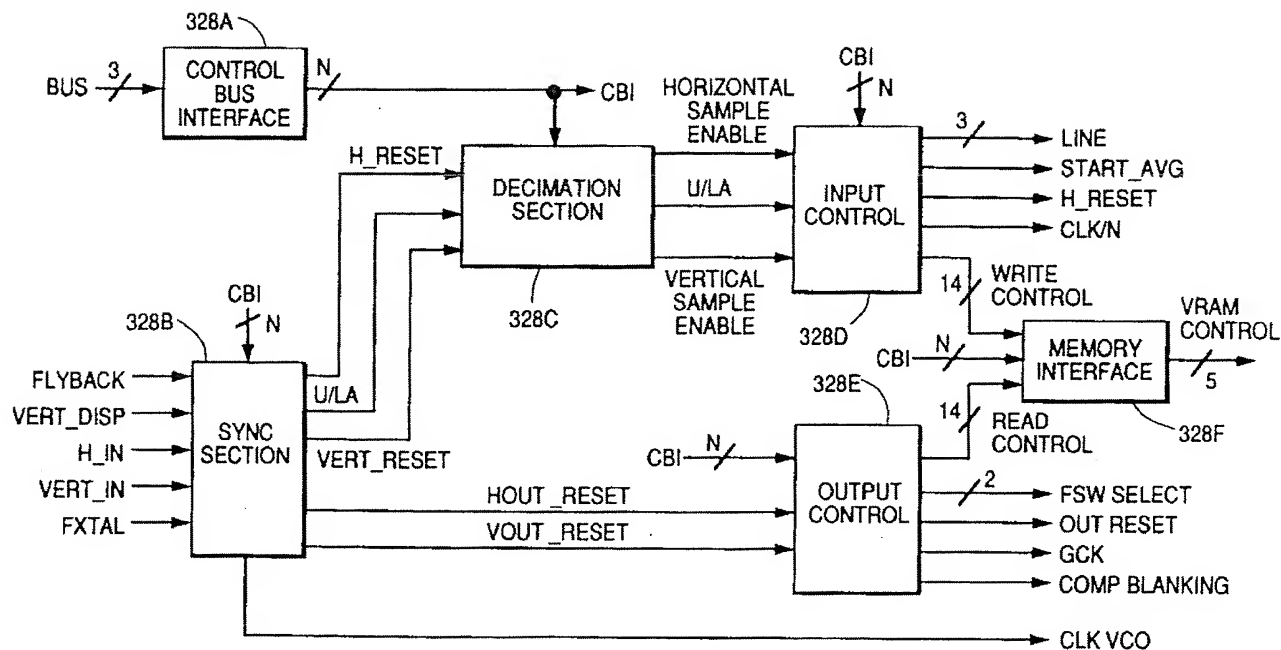
Фиг.11a

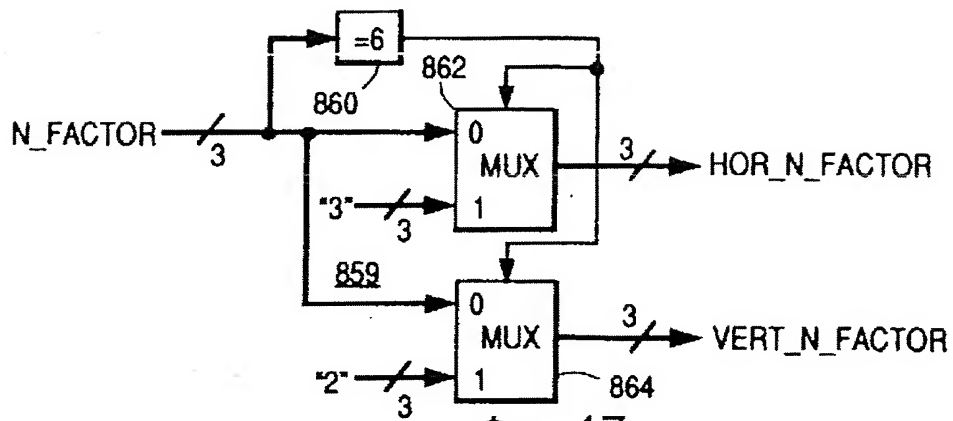


Фиг.12



Фиг.13



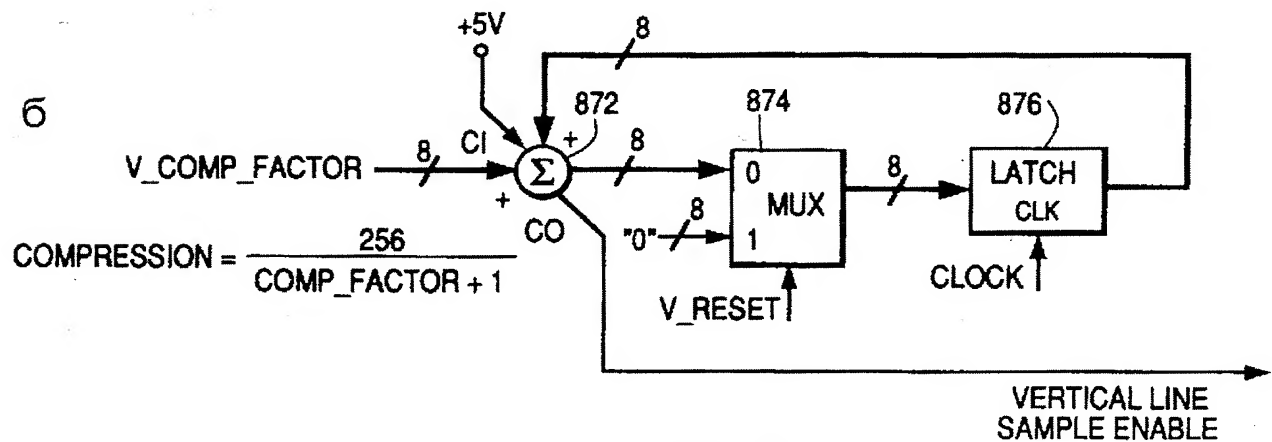
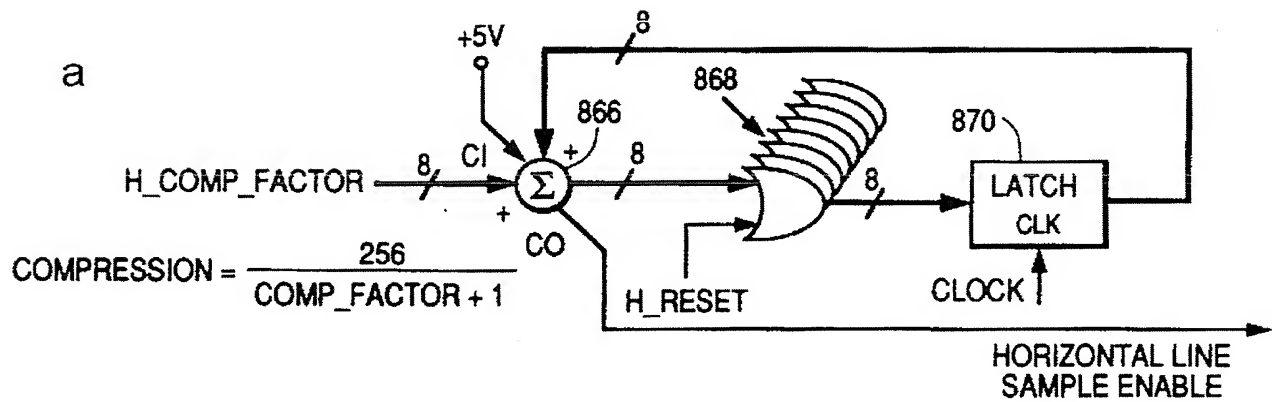


Фиг.17

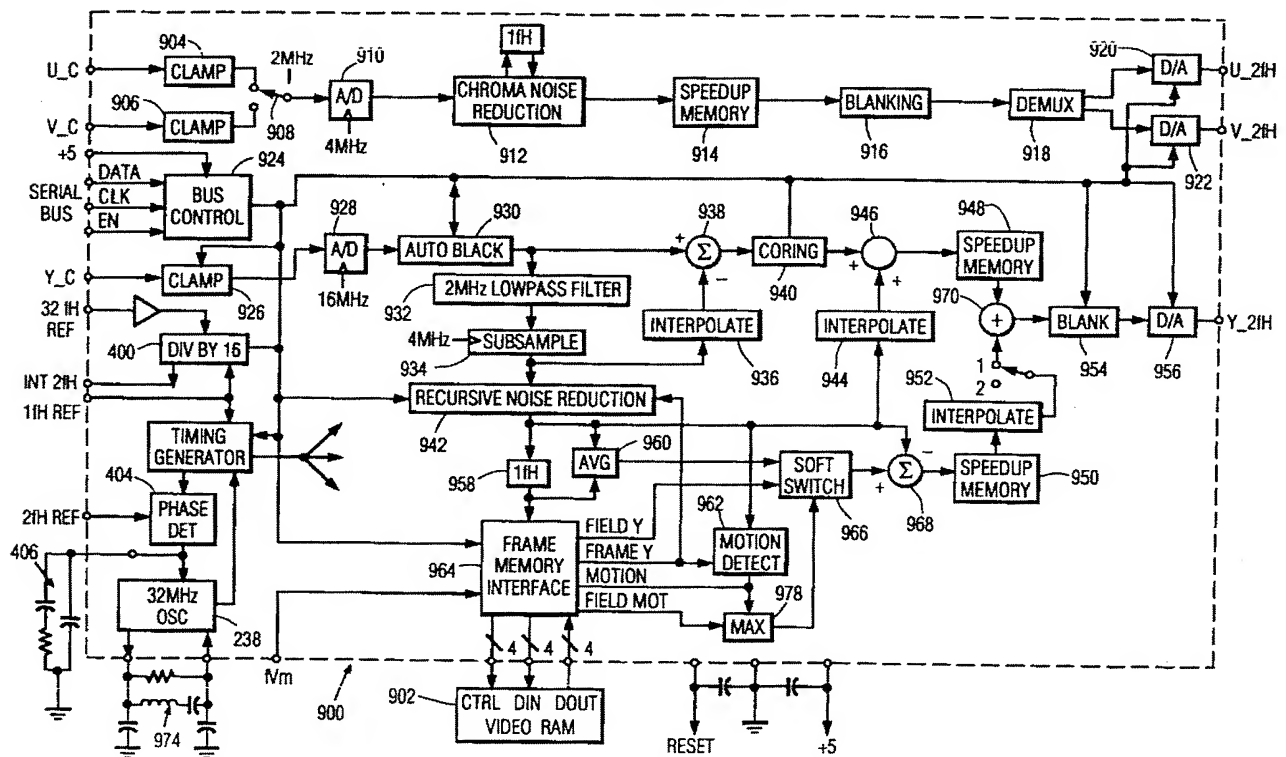
N_FACTOR	HOR COMPRESSION	VERT COMPRESSION
0	1:1	1:1
1	2:1	2:1
2	3:1	3:1
3	4:1	4:1
4	5:1	5:1
5	6:1	6:1
6	4:1	3:1
7	8:1	8:1

NON
SYMMETRIC
COMPRESSION
MODE

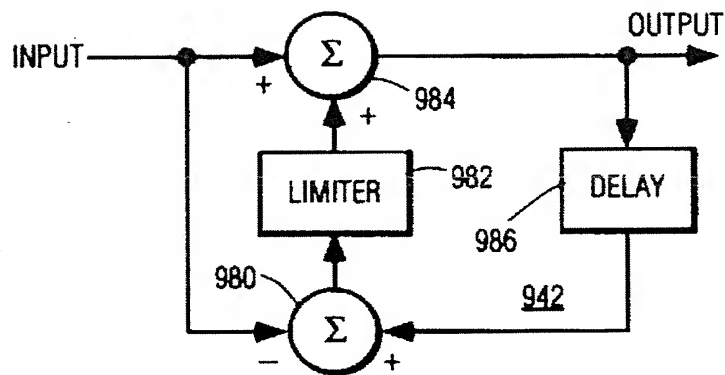
Фиг.18



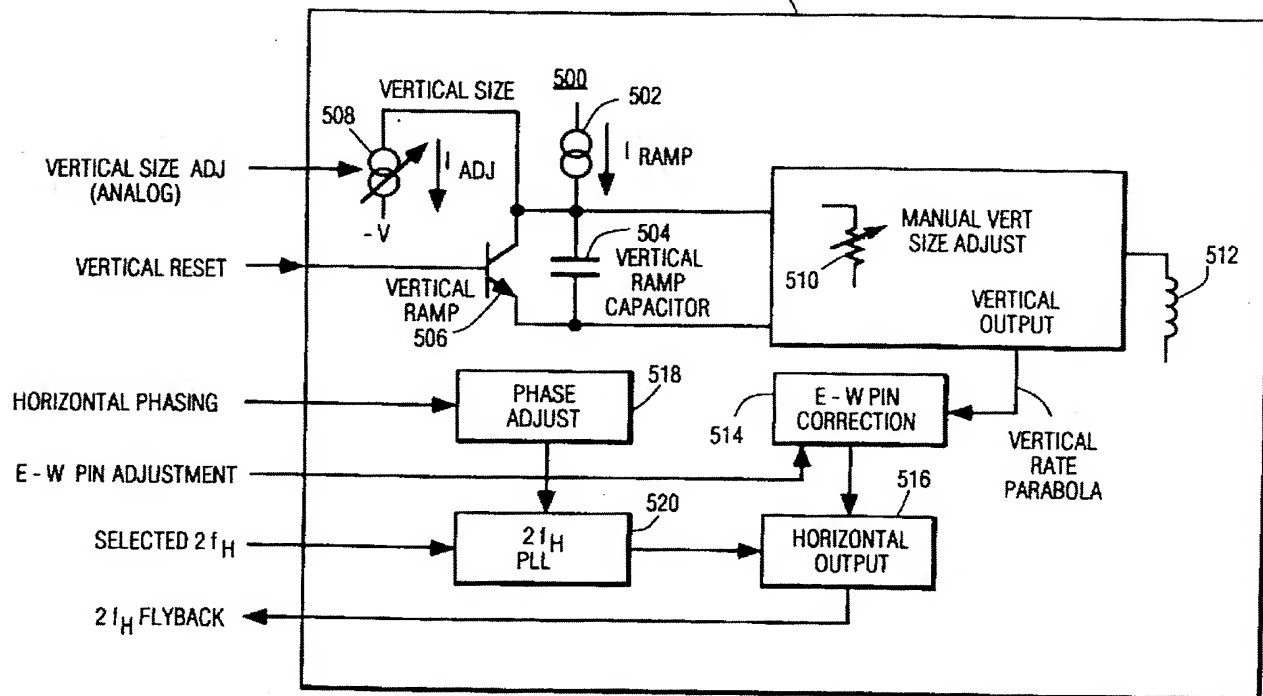
Фиг.19



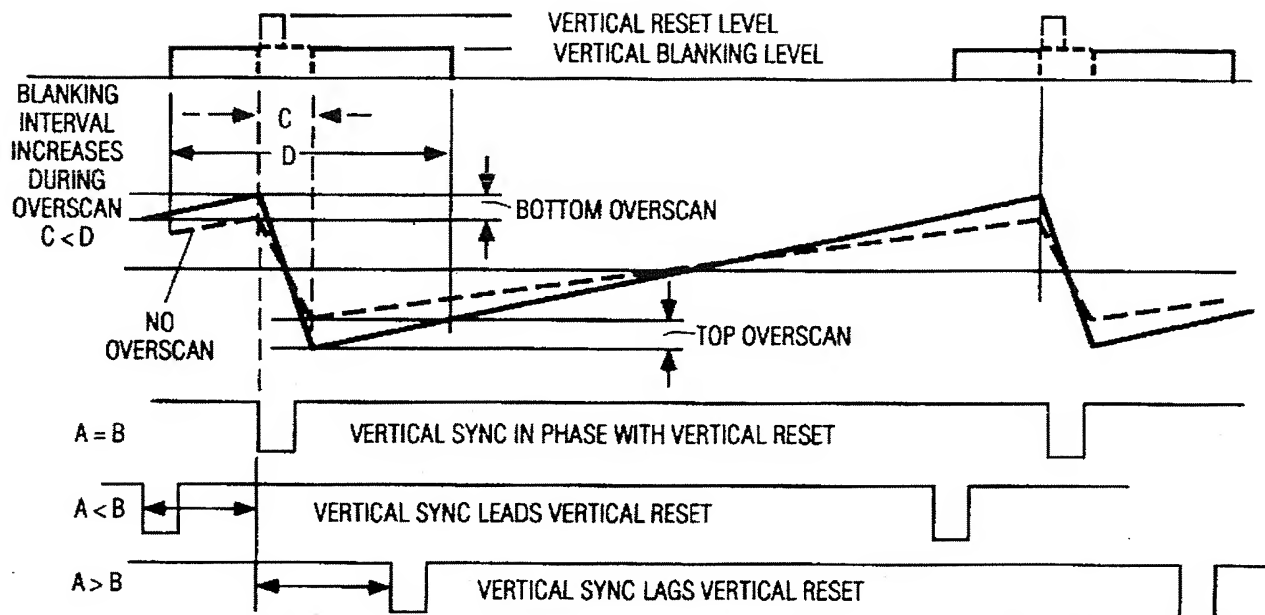
Фиг.20



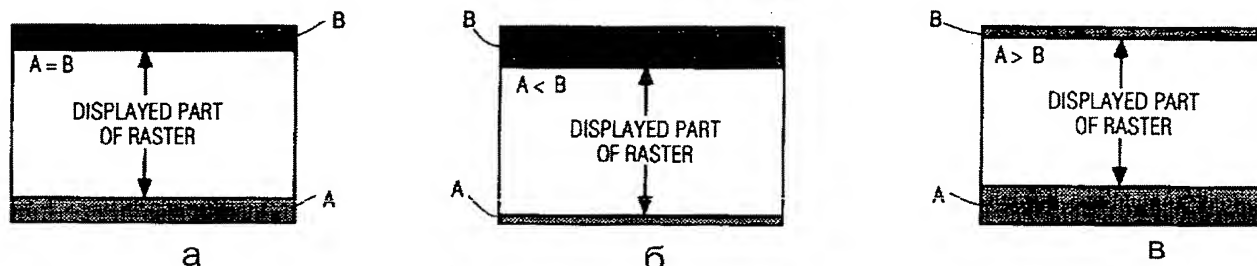
Фиг.21



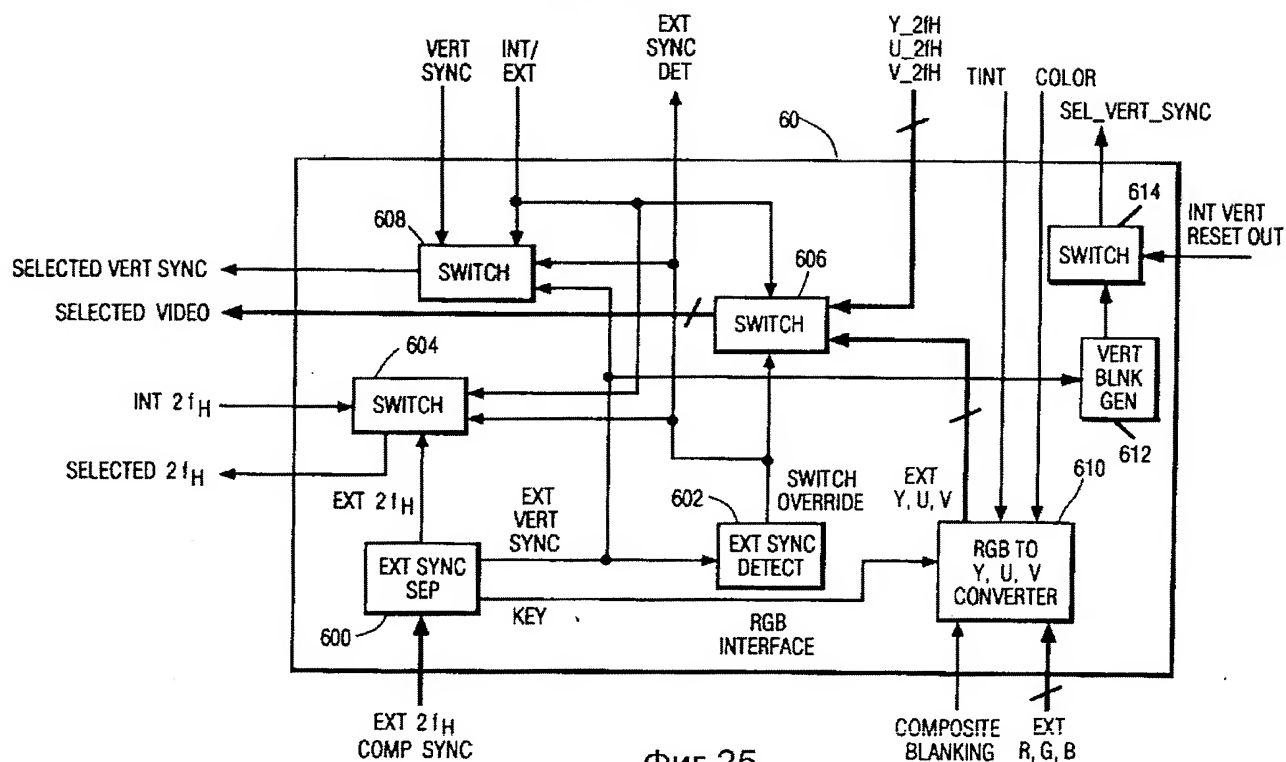
Фиг.22



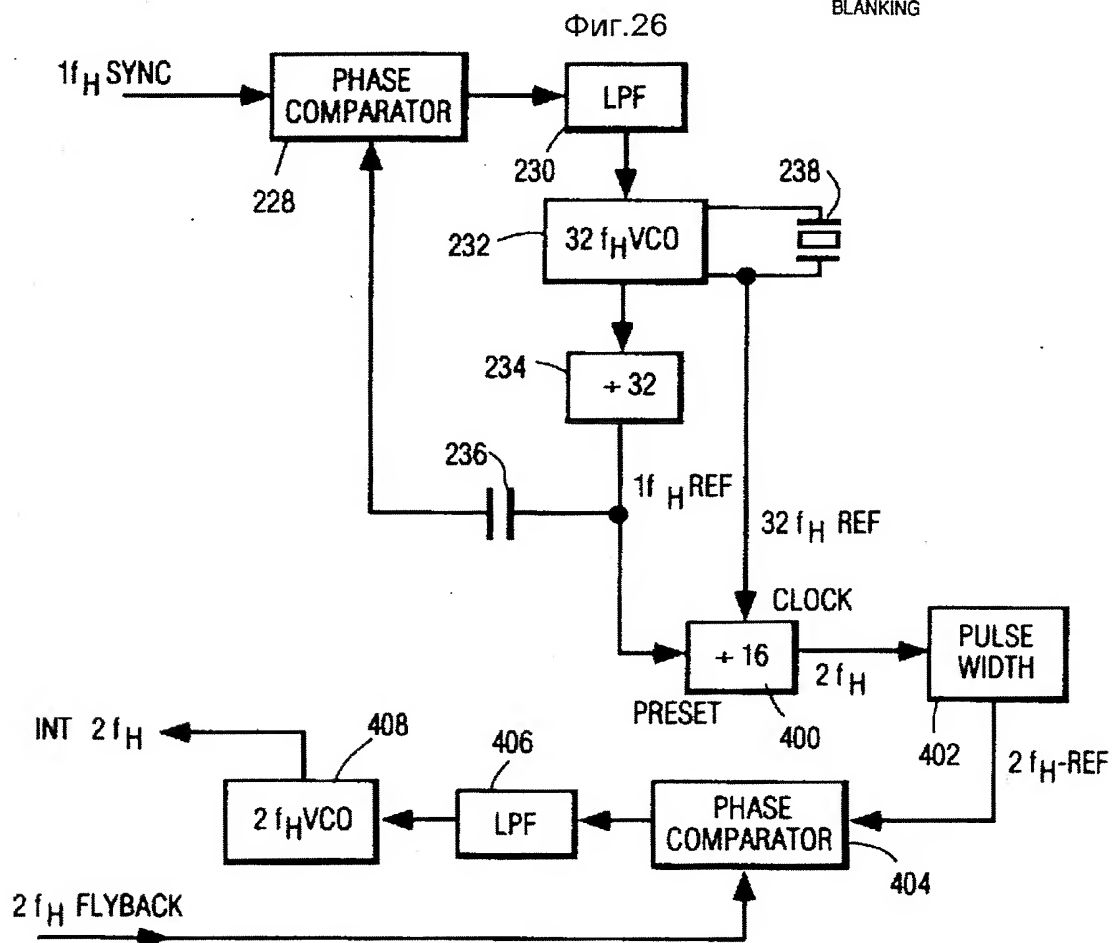
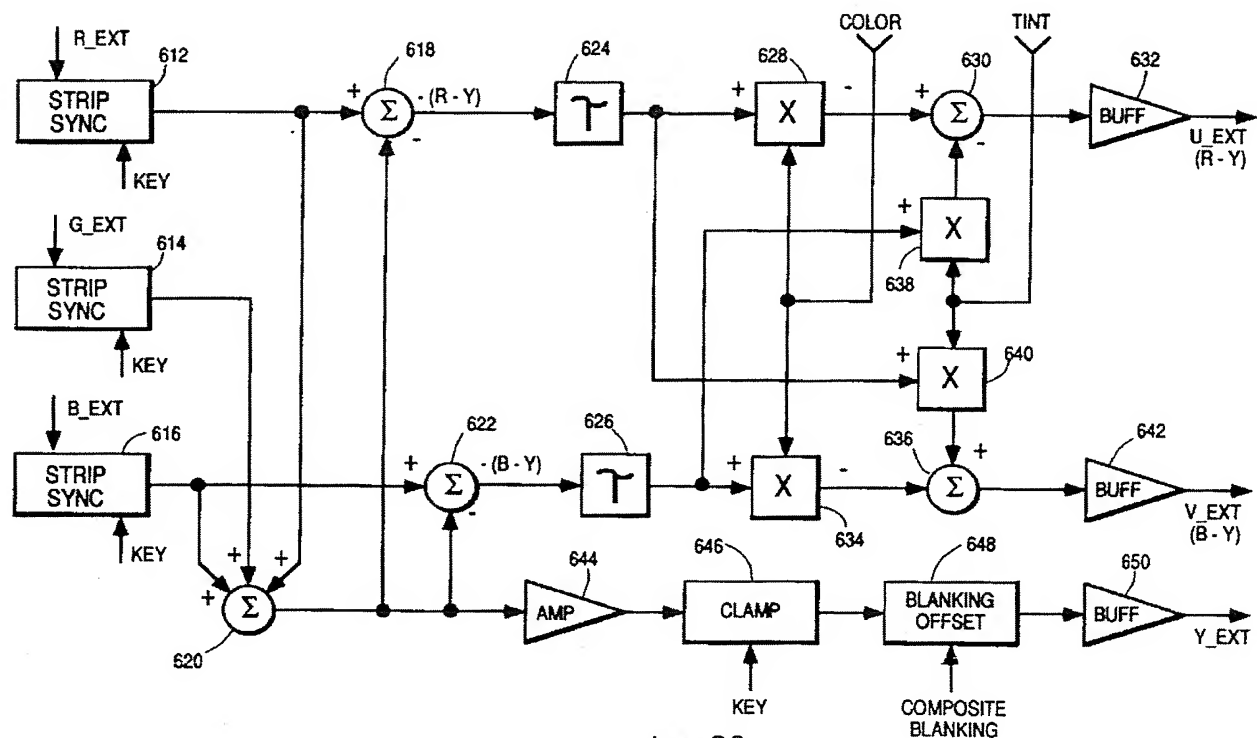
Фиг.23



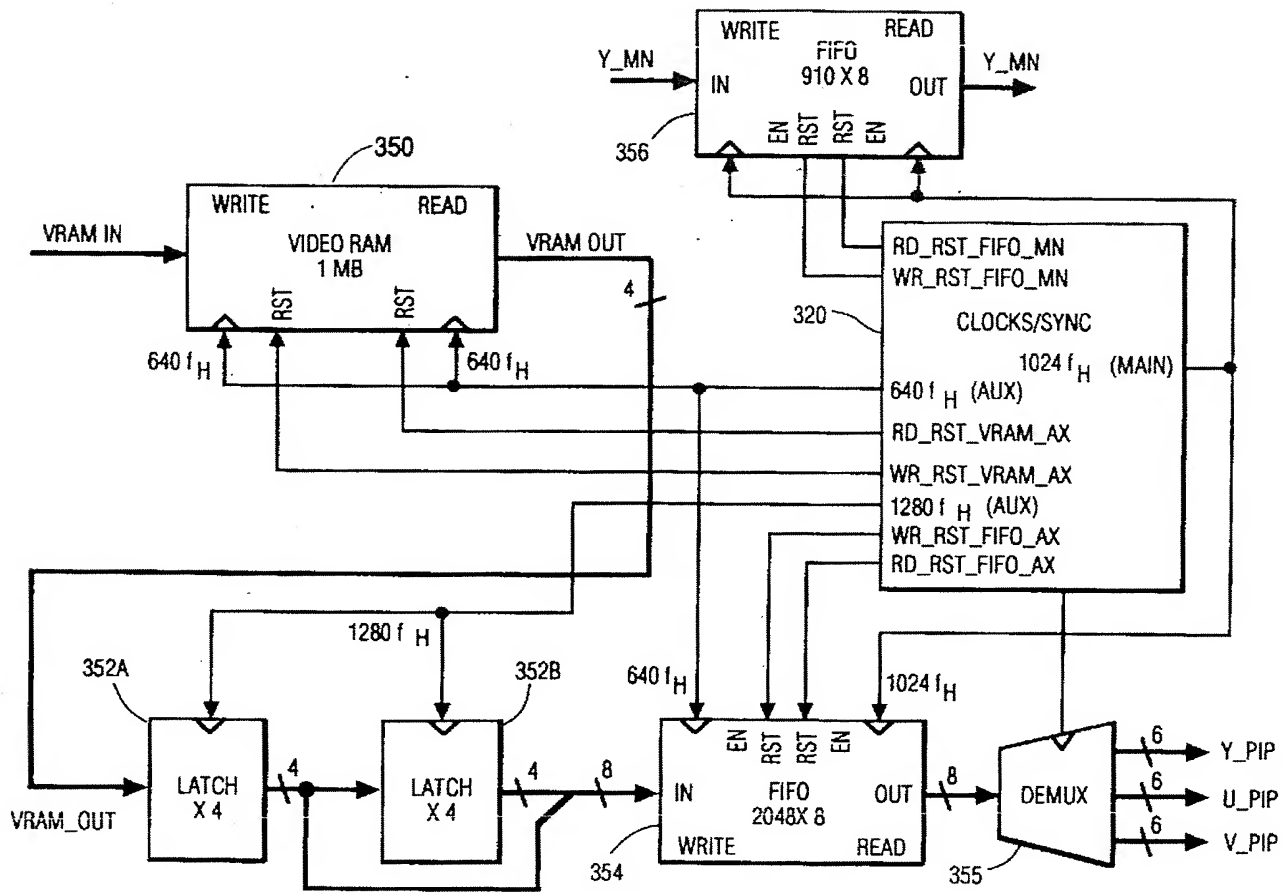
Фиг.24



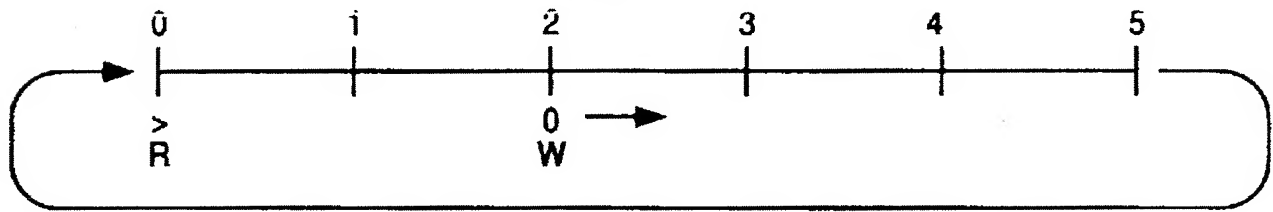
Фиг.25



Фиг.27

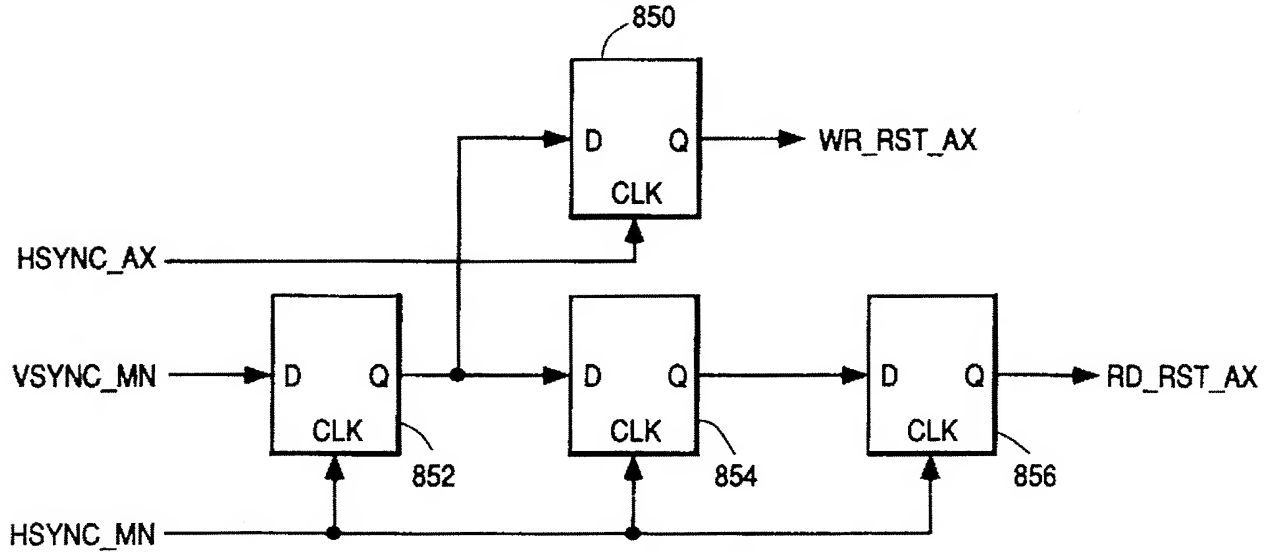


Фиг.28

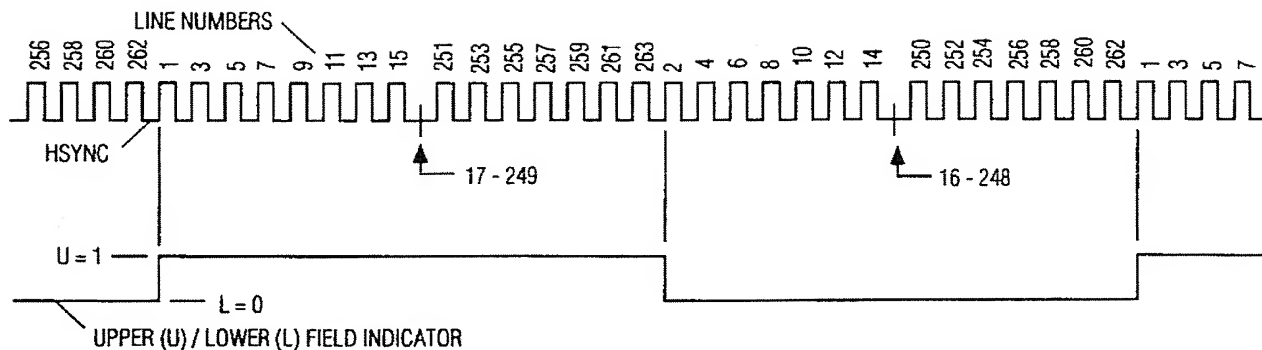


WRAP-AROUND BACK TO 0

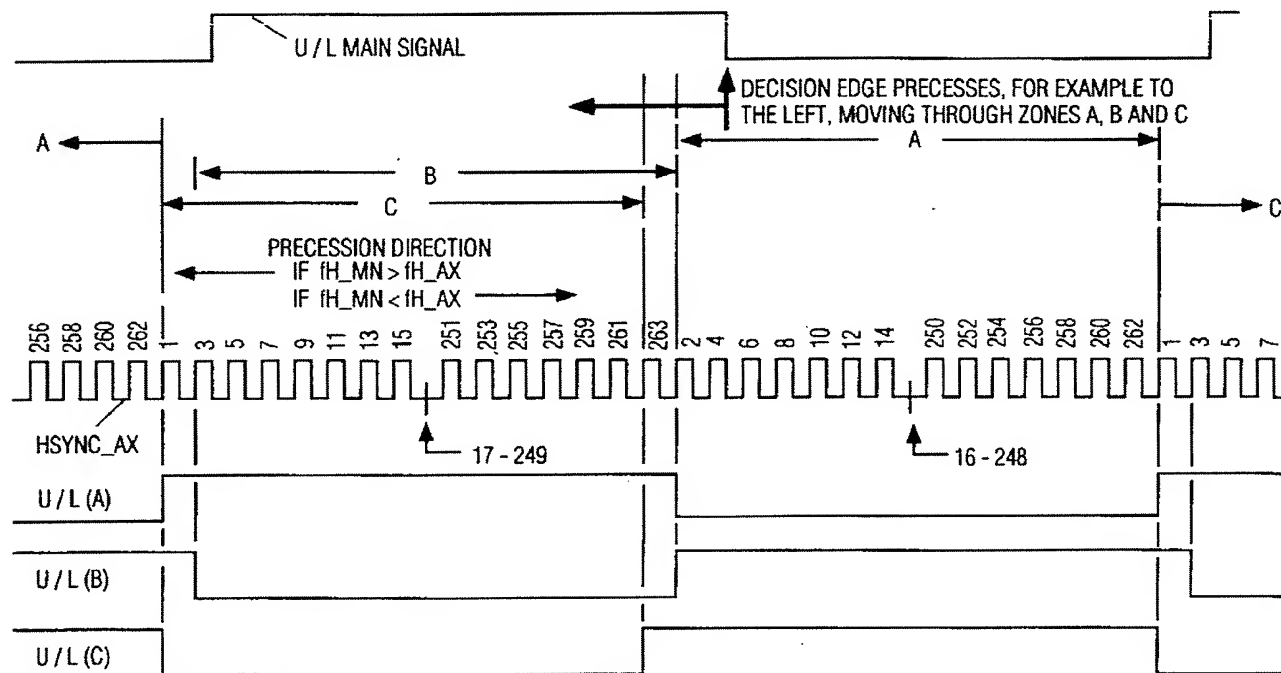
Фиг.29



Фиг.30



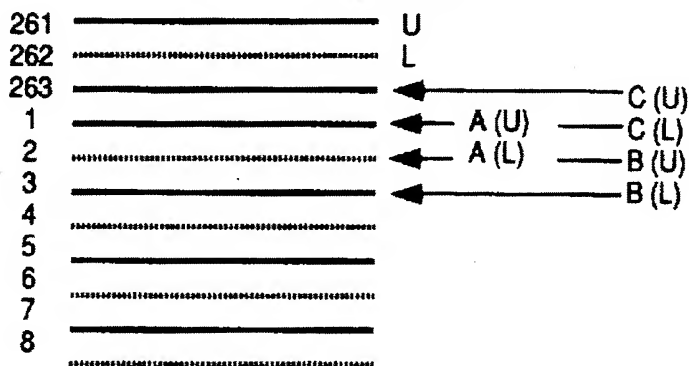
Фиг.31



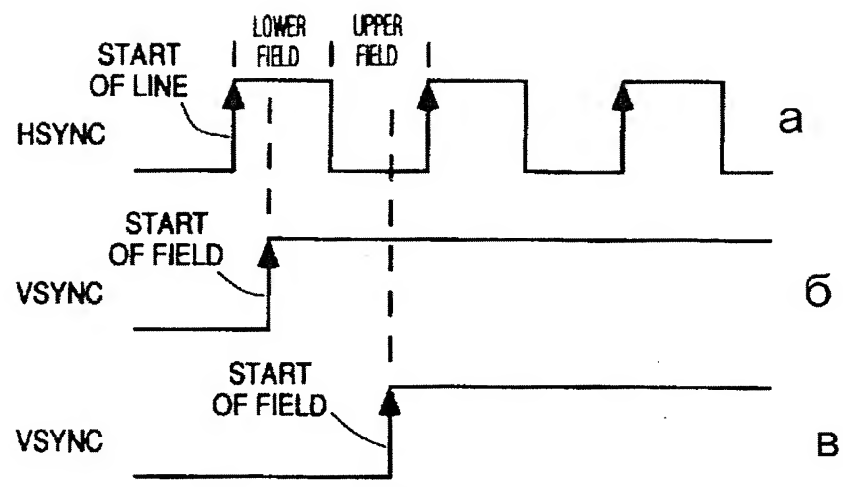
Фиг.32

MODE	DECISION EDGE POSITION
A	$2 \leq POS < 1$
B	$3 \leq POS < 2$
C	$1 \leq POS < 263$

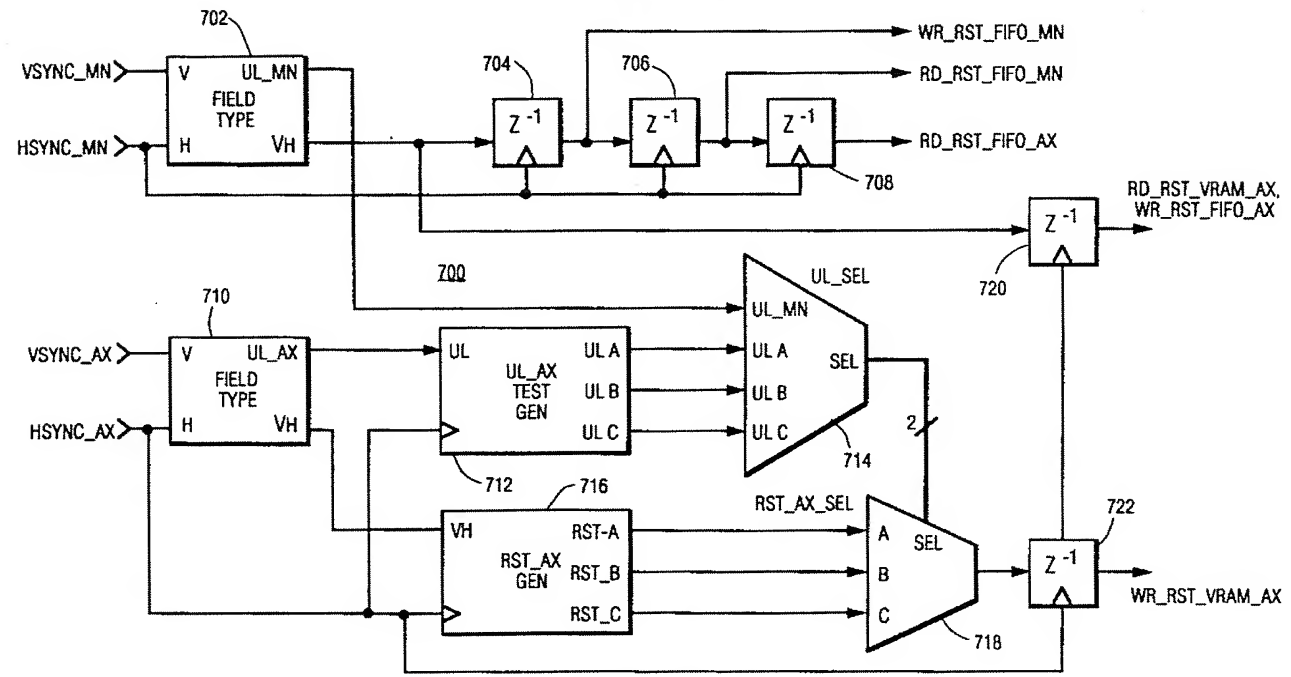
Фиг.33



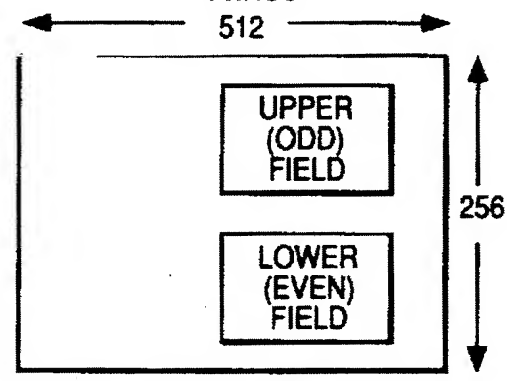
Фиг.34



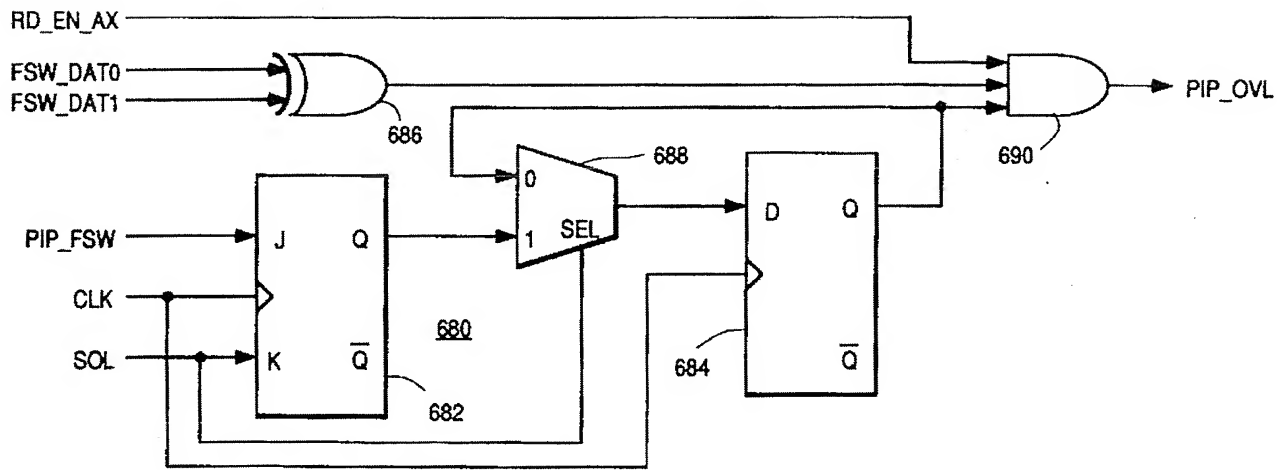
Фиг.35



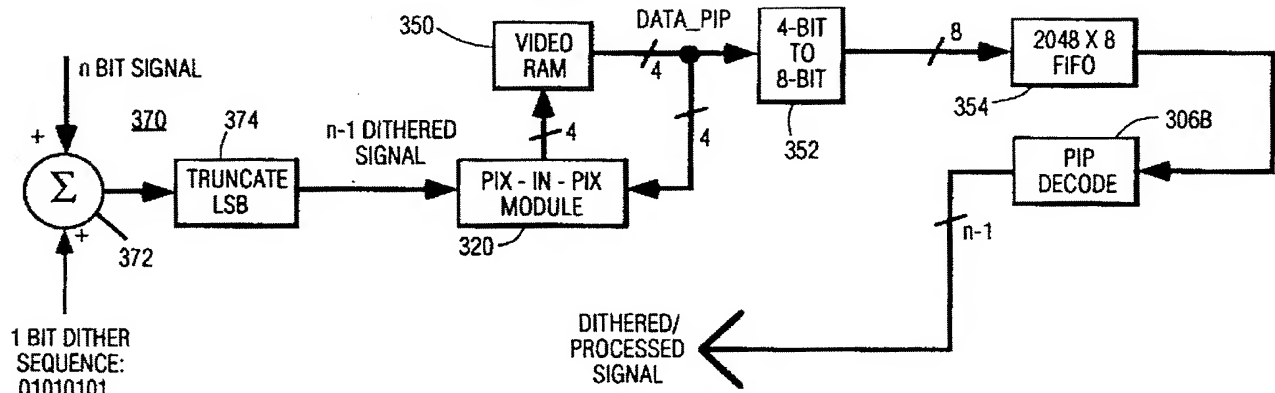
Фиг.36



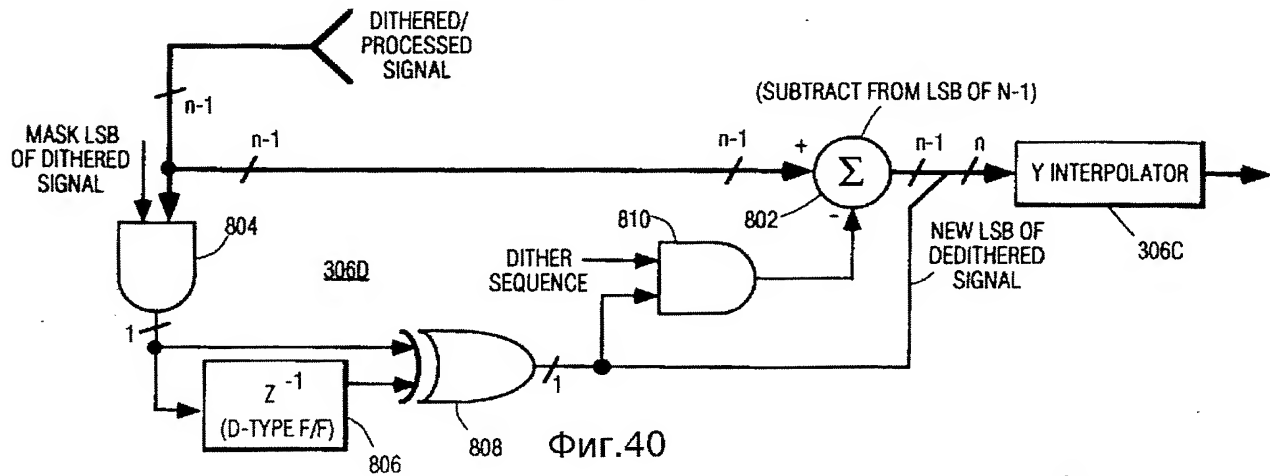
Фиг.37



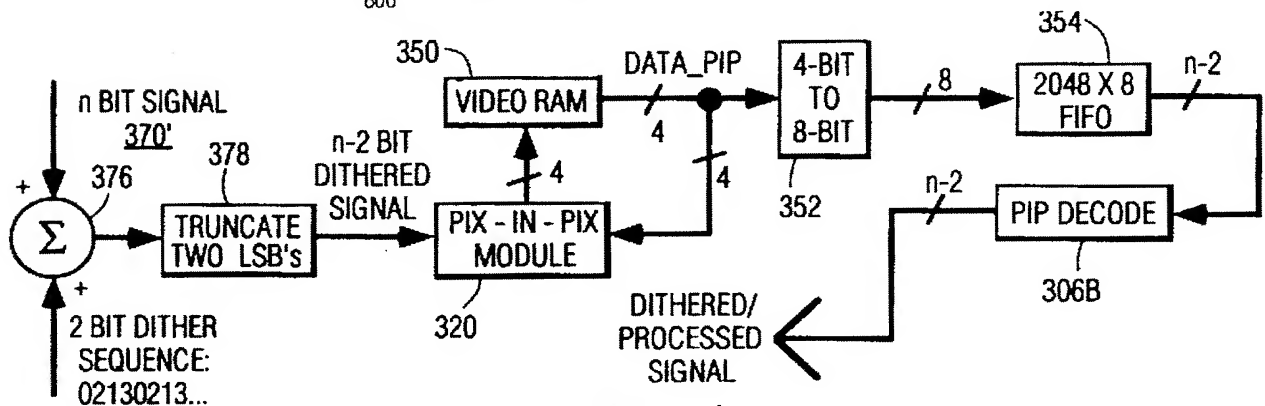
Фиг.38



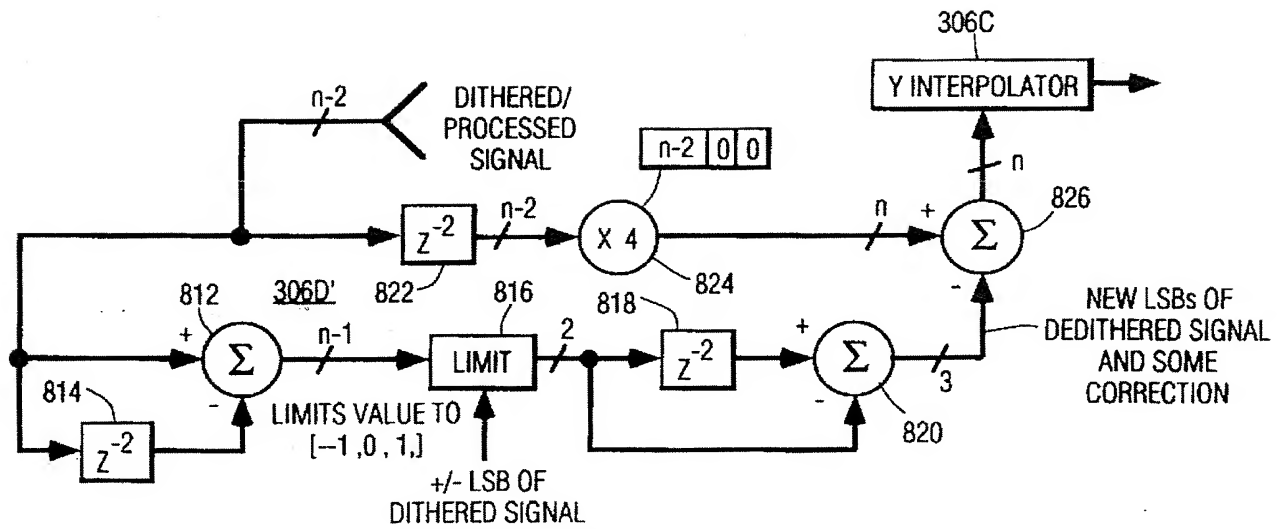
Фиг.39



Фиг.40



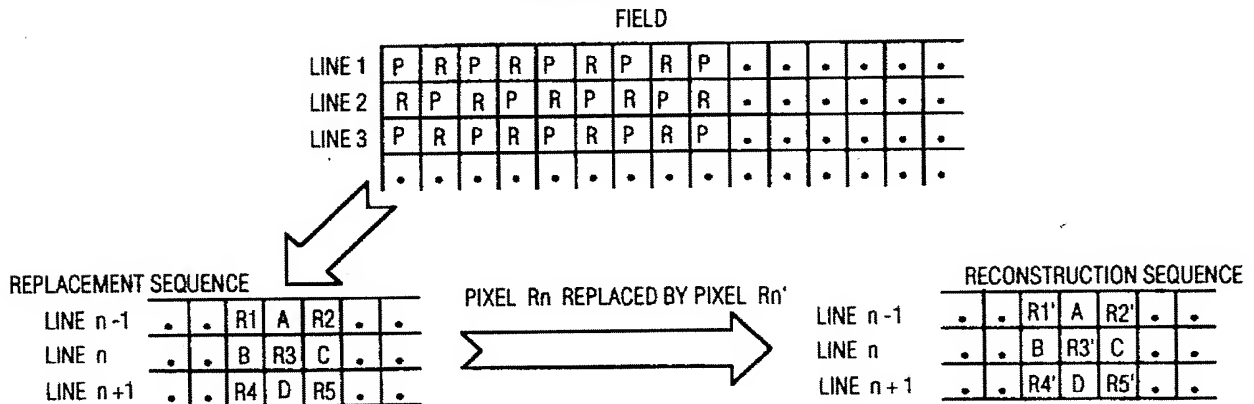
Фиг.41



Фиг.42

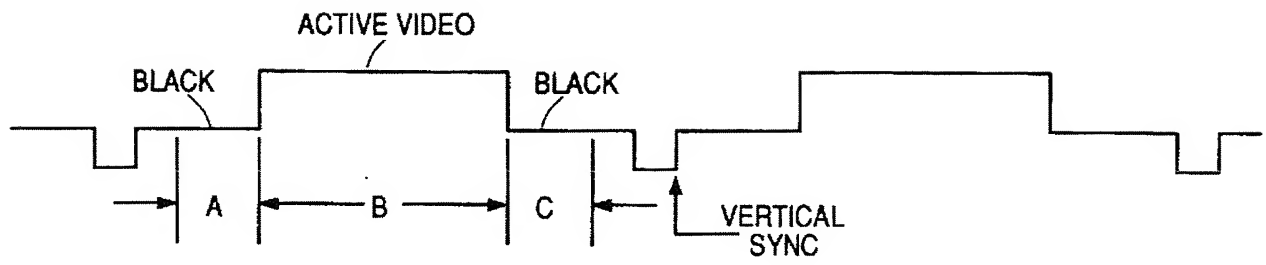
FIELD	LINE	1-BIT DITHER 1 PIXEL SKEW	2-BIT DITHER 1 PIXEL SKEW	2-BIT DITHER 2 PIXEL SKEW
1	1	0 1 0 1 0 1 0 1 ...	0 2 1 3 0 2 1 3 ...	0 2 1 3 0 2 1 3 ...
2	264	1 0 1 0 1 0 1 0 ...	3 0 2 1 3 0 2 1 ...	1 3 0 2 1 3 0 2 ...
1	2	0 1 0 1 0 1 0 1 ...	0 2 1 3 0 2 1 3 ...	0 2 1 3 0 2 1 3 ...
2	265	1 0 1 0 1 0 1 0 ...	3 0 2 1 3 0 2 1 ...	1 3 0 2 1 3 0 2 ...
1	3	0 1 0 1 0 1 0 1 ...	0 2 1 3 0 2 1 3 ...	0 2 1 3 0 2 1 3 ...
2	266	1 0 1 0 1 0 1 0 ...	3 0 2 1 3 0 2 1 ...	1 3 0 2 1 3 0 2 ...

Фиг.43

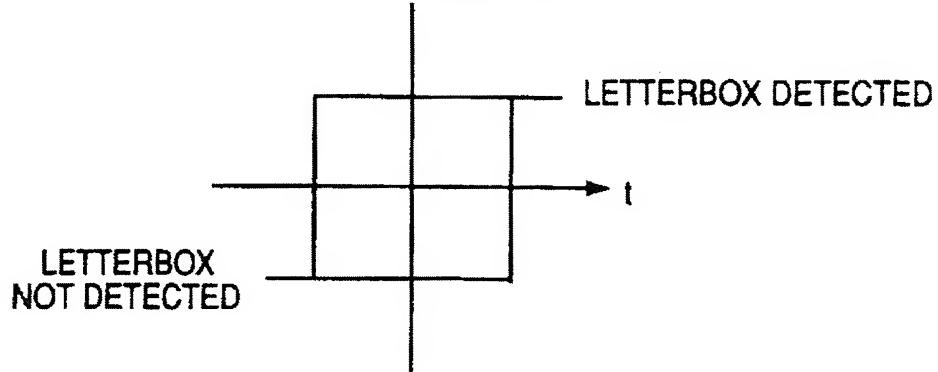


1-BIT CODE	FOR PIXEL R3
REPLACEMENT CODE = 0 IF $ R_n - (B + C)/2 < R_n - A $	IF 1-BIT CODE = 0, THEN $R3' = (B + C)/2$
REPLACEMENT CODE = 1 IF $ R_n - (B + C)/2 > R_n - A $	IF 1-BIT CODE = 1, THEN $R3' = A$
2-BIT CODE	
REPLACEMENT CODE = 0 IF R_n CLOSEST IN VALUE TO A	IF 2-BIT CODE = 0, THEN $R3' = A$
REPLACEMENT CODE = 1 IF R_n CLOSEST IN VALUE TO $(A + B)/2$	IF 2-BIT CODE = 1, THEN $R3' = (A + B)/2$
REPLACEMENT CODE = 2 IF R_n CLOSEST IN VALUE TO $(A + C)/2$	IF 2-BIT CODE = 2, THEN $R3' = (A + C)/2$
REPLACEMENT CODE = 3 IF R_n CLOSEST IN VALUE TO $(B + C)/2$	IF 2-BIT CODE = 3, THEN $R3' = (B + C)/2$

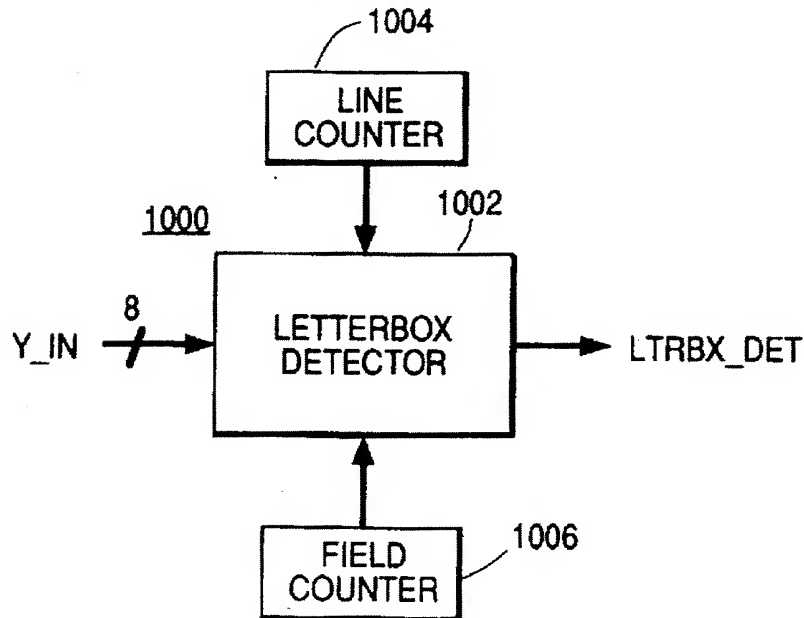
Фиг.44



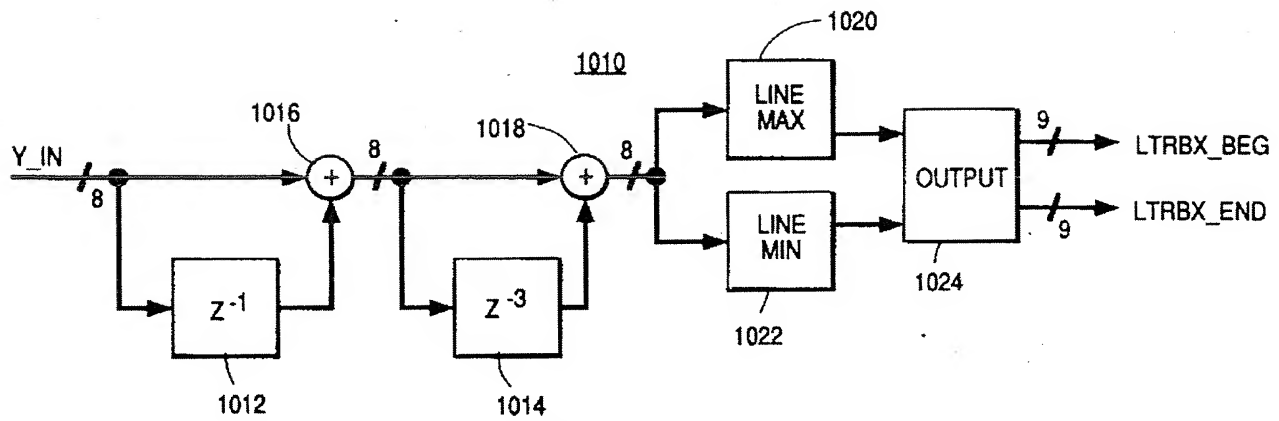
Фиг.45



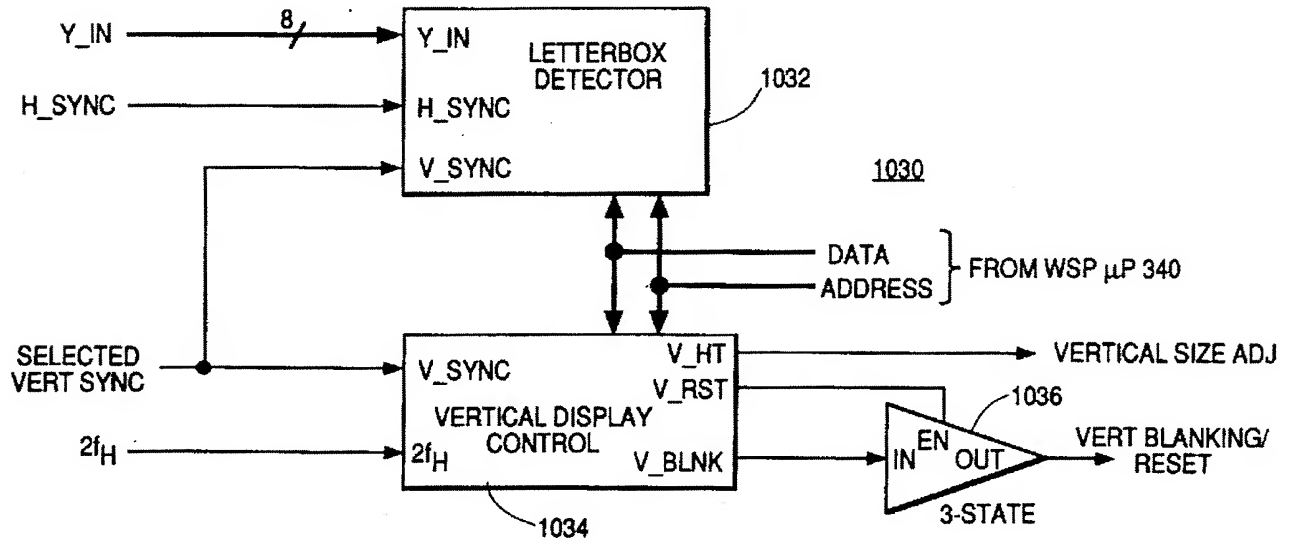
Фиг.46



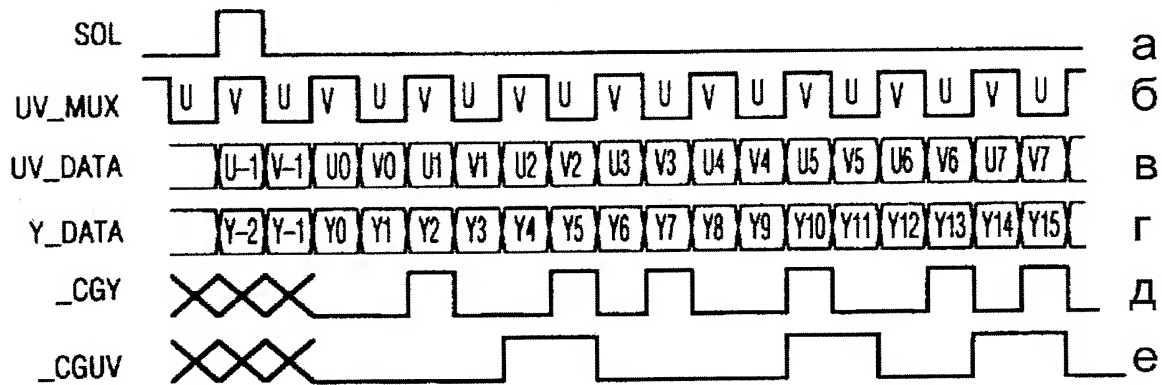
Фиг.47



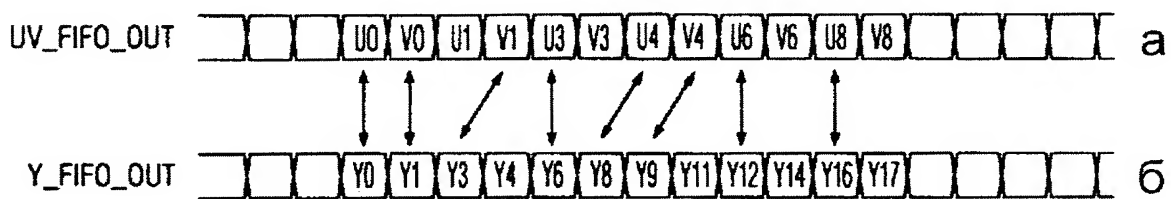
Фиг.48



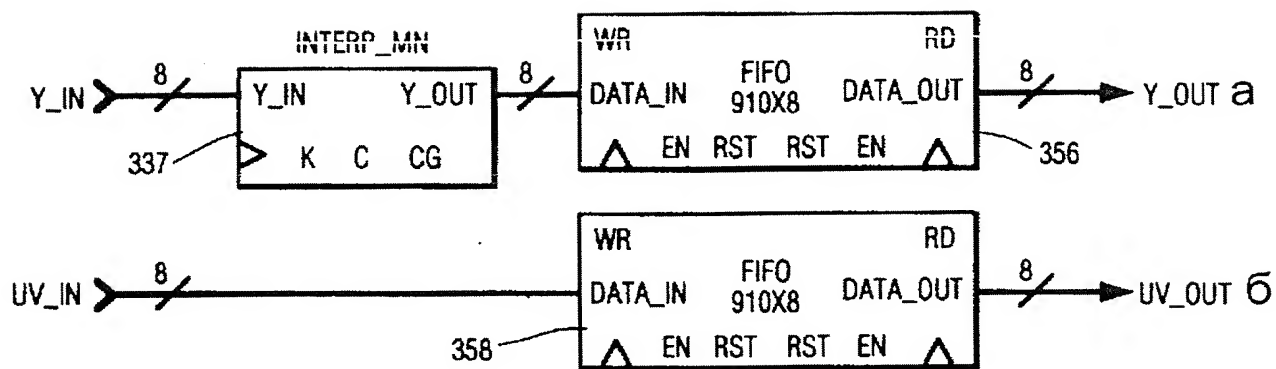
Фиг.49



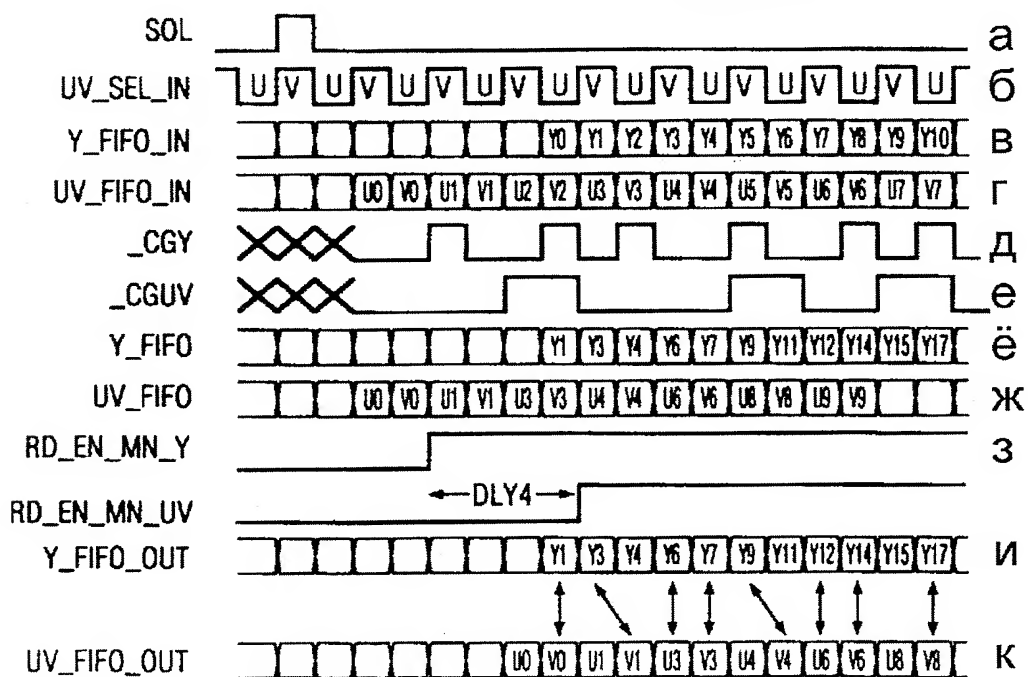
Фиг.50



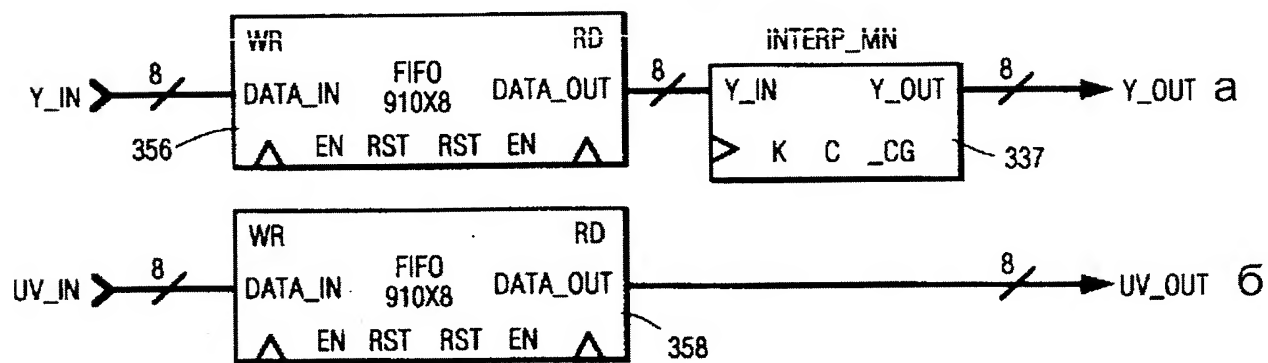
Фиг.51



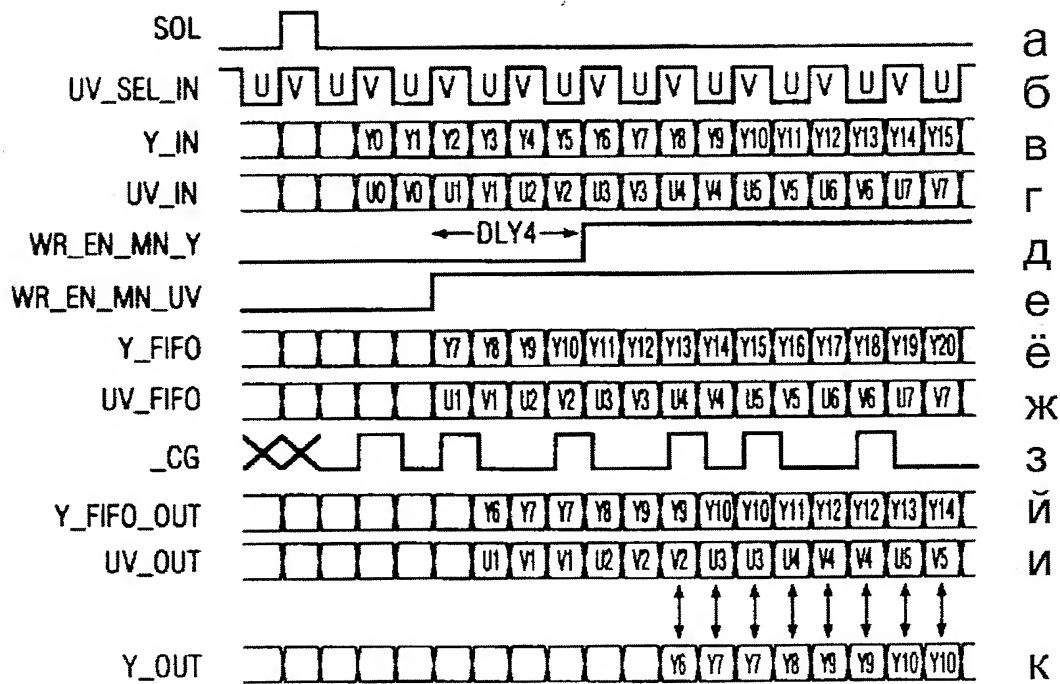
Фиг.52



Фиг.53

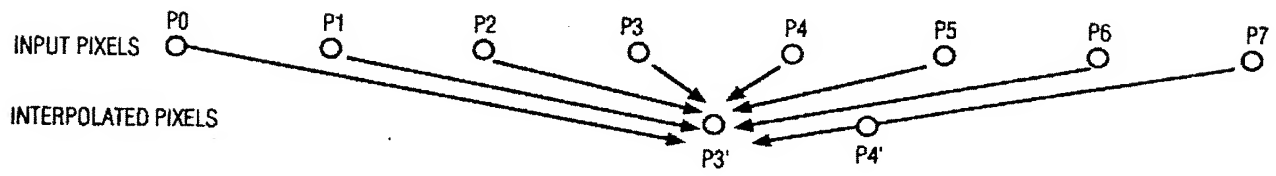


Фиг.54



Фиг.55

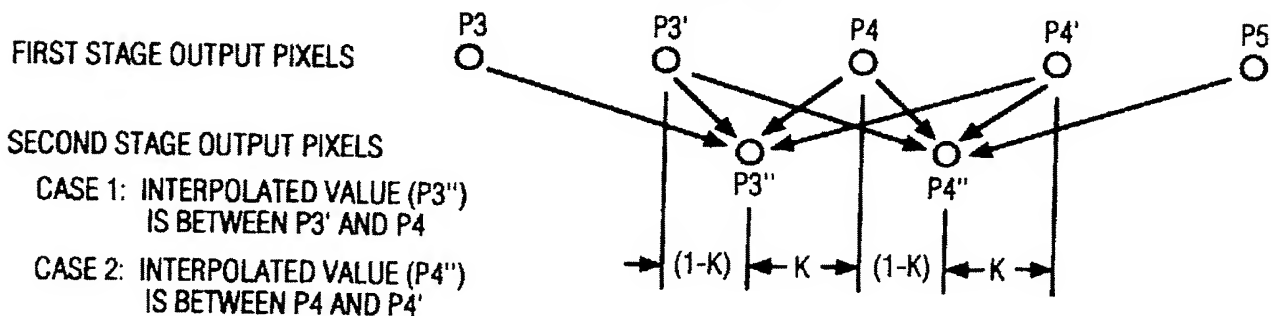
STAGE 1 OF TWO STAGE VARIABLE INTERPOLATION FILTER: $n=2$



$$P3' = \sum_{i=0}^7 (P_i \cdot a_i) / 128 \quad \text{AND} \quad P4' = \sum_{i=0}^7 (P_{(i+1)} \cdot a_i)$$

WHERE: $a_i = [-3, 9, -22, 80, 80, -22, 9, -3]$ for $i = 0$ TO 7

Фиг.56

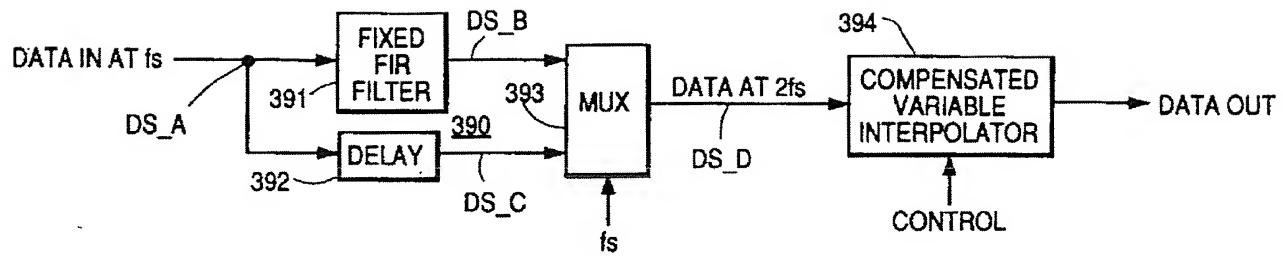


$$P3'' = -C (P3 + P4') + (K + C) (P5') + (1 - K + C) (P4); \text{ AND,}$$

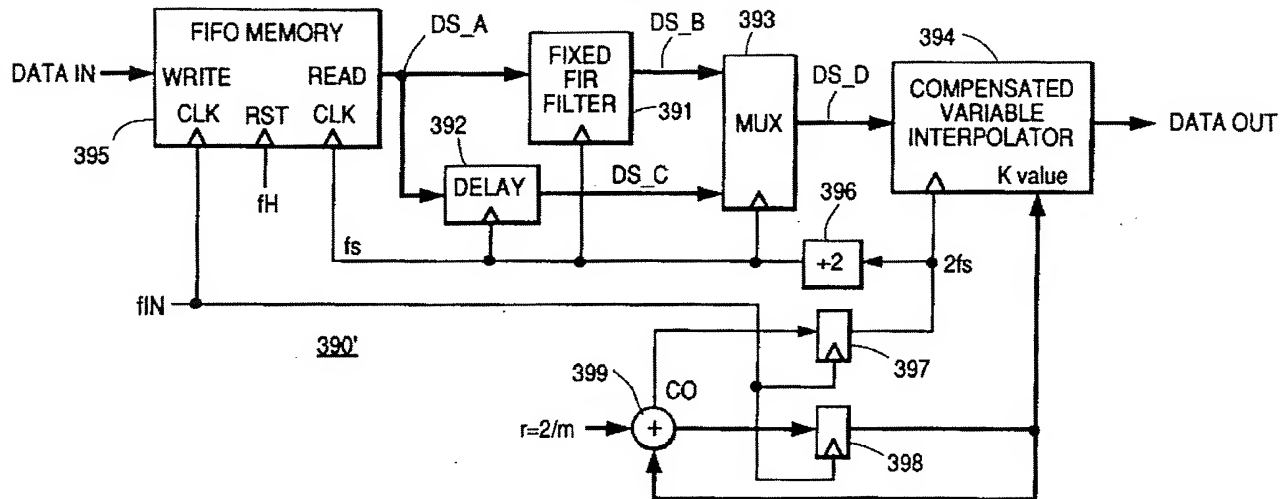
$$P4'' = -C (P3' + P5) + (K + C) (P4) + (1 - K + C) (P4'')$$

WHERE: $K = [0, 1/8, 2/8, \dots, 1]$; AND,
 $C = f(K) = [0, 1/32, 2/32, 3/32]$

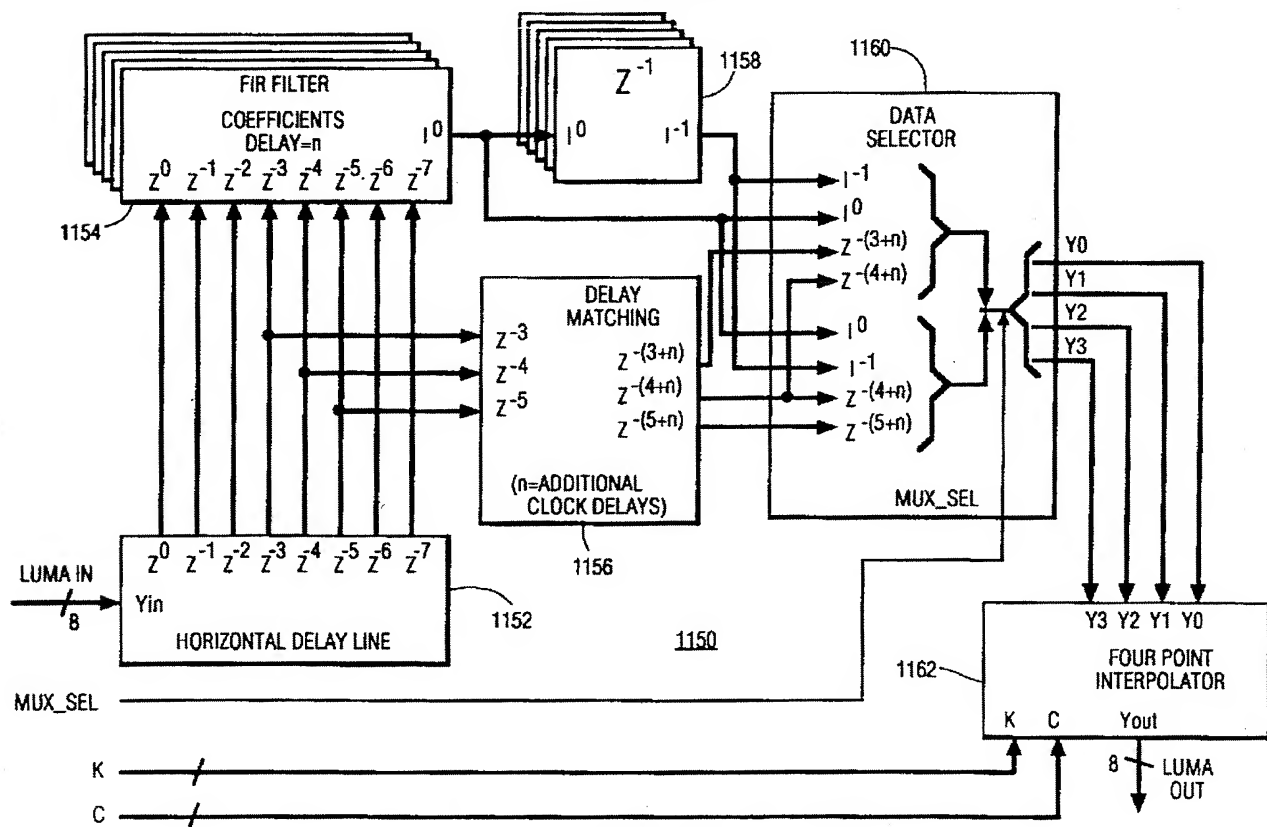
Фиг.57



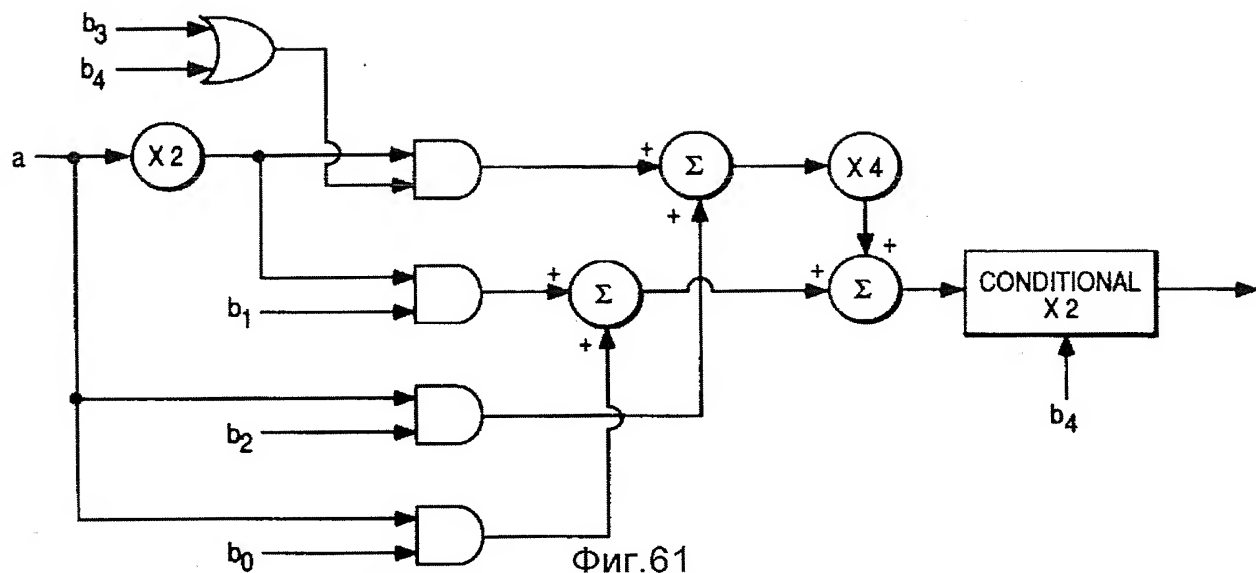
Фиг.58



Фиг.59

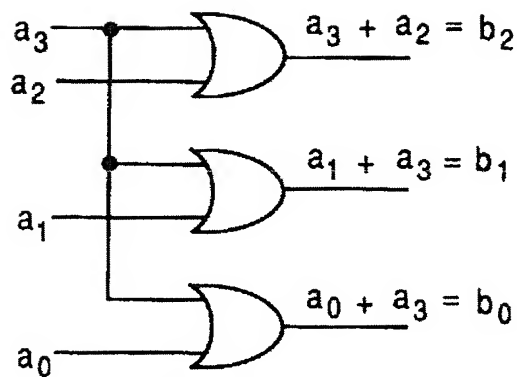


Фиг.60



K	ENCODED $K = a_4, a_3, a_2, a_1, a_0$	$C' = a_3, a_2, a_1, a_0$
0	0 0 0 0 0	0 0 0 0
1	0 0 0 0 1	0 0 0 1
2	0 0 0 1 0	0 0 1 0
3	0 0 0 1 1	0 0 1 1
4	0 0 1 0 0	0 1 0 0
5	0 0 1 0 1	0 1 0 1
6	0 0 1 1 0	0 1 1 0
7	0 0 1 1 1	0 1 1 1
8	0 1 0 0 0	1 0 0 0
9	1 0 1 1 1	0 1 1 1
10	1 0 1 1 0	0 1 1 0
11	1 0 1 0 1	0 1 0 1
12	1 0 1 0 0	0 1 0 0
13	1 0 0 1 1	0 0 1 1
14	1 0 0 1 0	0 0 1 0
15	1 0 0 0 1	0 0 0 1
16	1 0 0 0 0	0 0 0 0

Фиг.62

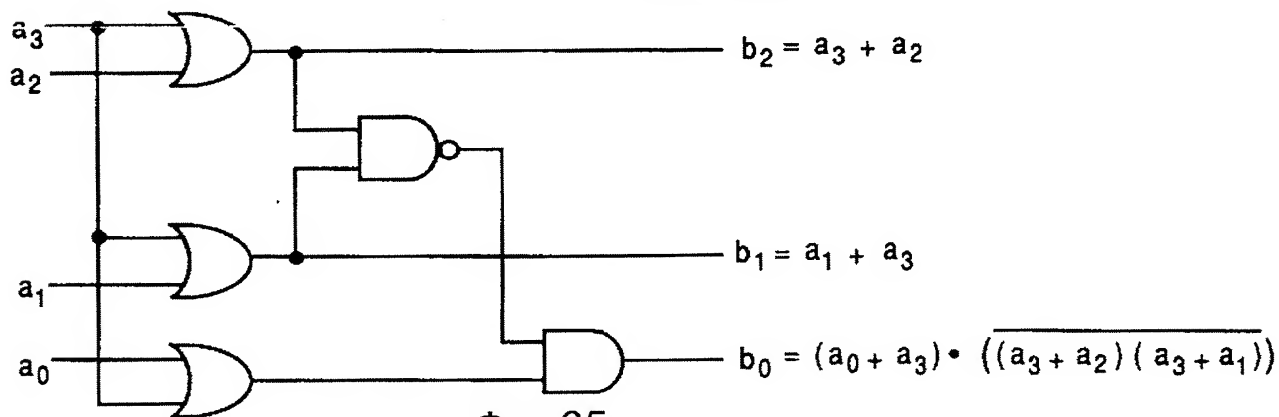


Фиг.63

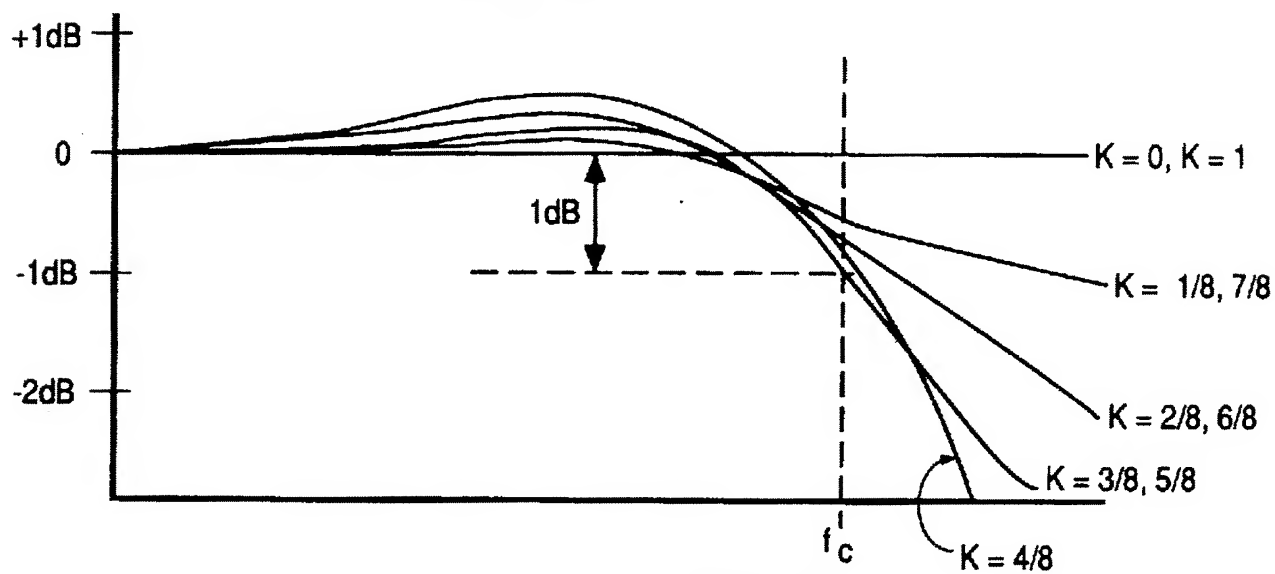
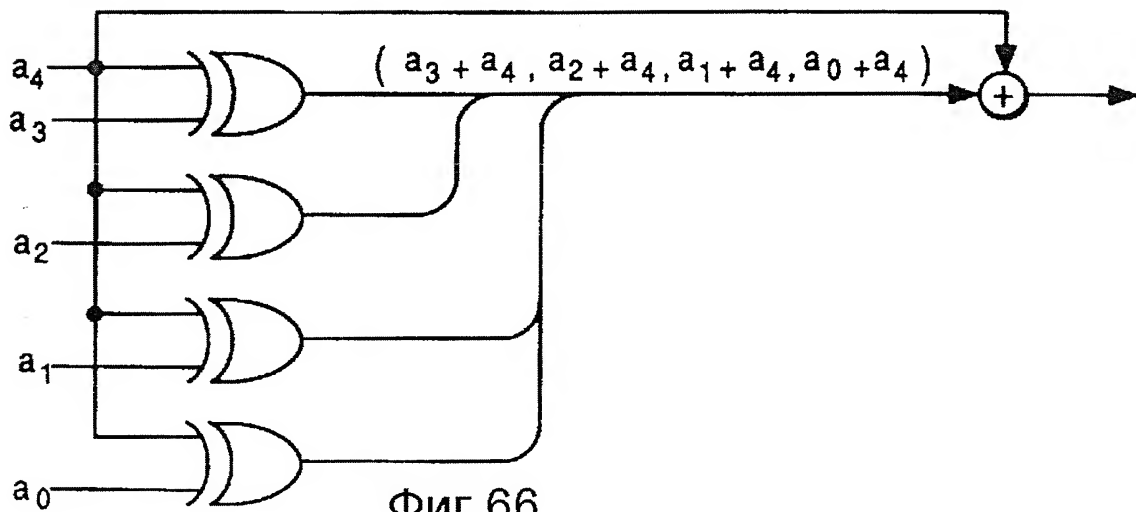
К	$C = [(a_3 + a_2), (a_1 + a_3), (a_0 + a_3)] = b_2 \ b_1 \ b_0$
0, 16	0
1, 15	1
2, 14	2
3, 13	3
4, 12	4
5, 11	5
6, 10	6

NOTE FOR
K=7, 8, 9
C=7

Фиг.64

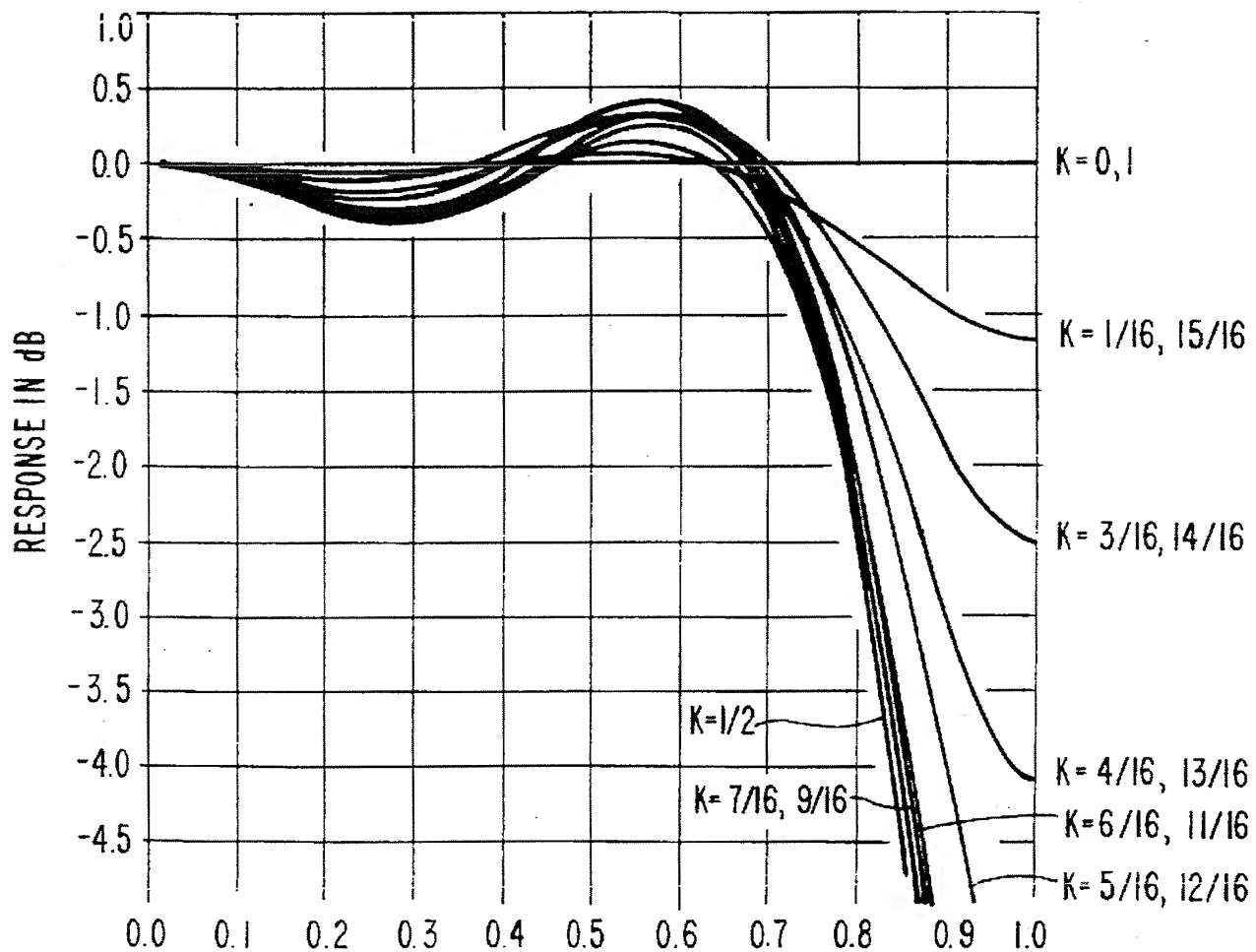


Фиг.65

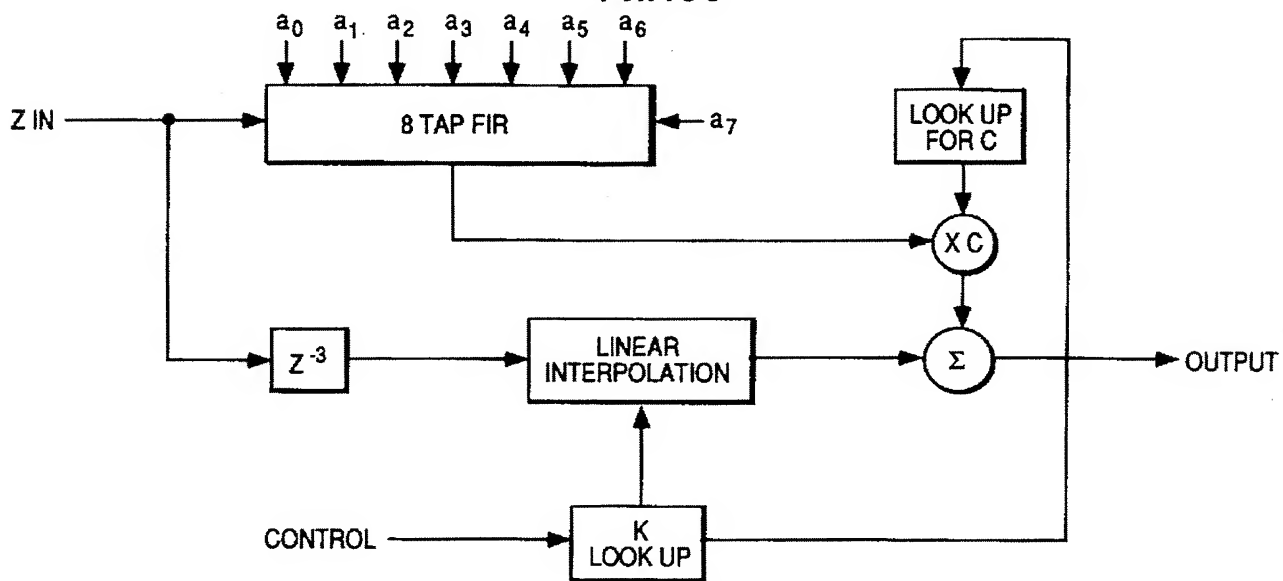


$K \cdot 1/16$	$C \cdot 1/128$
0, 16	0
1, 15	2
2, 14	8
3, 13	10
4, 12	12
5, 11	12
6, 10	14
7, 9	14
8	14

Фиг.68



Фиг.69



Фиг.70